

TECHNISCHE UNTERLAGEN

**OMEGA DX 10
+
EXPANDER EX 10**

BA 3174

I N H A L T

	Seite	
A. Zielsetzung	5	
B. Technisches Konzept	5	
I. Herkömmliche Orgel-Systeme	5	
1. <i>Analog-Orgeln</i>	5	
2. <i>Analog-Orgeln mit digitaler Ansteuerung</i>	5	
3. <i>Digital-Systeme mit abgespeicherten Originalklängen</i>	5	
II. Das Advanced DX-System mit voll digitaler Tonerzeugung	6	
Das DX 10-System im Gesamtblockschaltbild	8	
C. Schaltbilder und Erläuterungen		
	Beschreibung	
	Schaltbild	
I. Platine PS 20 (Netzteil)	10	13
II. Platinen KD 10 und KD 4 (nur in OMEGA)	14	15
III. Platine MX 10 (nur in OMEGA)	21	16
IV. Bedienfelder CB M 29, 30, 31 und 36 (nur in OMEGA)	20	22, 28, 29
V. Platinen CBM 32/CB 320	31	33 - 38
VI. Platine CBM 25 (nur in OMEGA)	41	41
VII. Platine MM 1	42	
1. <i>Main Prozessor</i>	42	43
2. <i>Decoding Section</i>	44	45
3. <i>Co Prozessor</i>	46	47
4. <i>Slave Section</i>	48	49
5. <i>Erweiterungsplatine MME 1</i>	—	52
VIII. Platine SL - M 2	54	55
IX. Platinen AF 20 und AF 21	56	62 - 65
X. Platine DH 10	69	70 - 73
XI. Platinen CX 7 und CBM 29 (letztere nur in OMEGA)	77	78, 80
XII. Platinen PA 102 und PA 104 (nur in OMEGA)	—	82, 83
XIII. <i>Platine ME 2 (nur in Expander EX 10)</i>	85	86
D. Anhang		90
Auflistung aller verwendeten Kürzel		90
Memory-Map (Master Prozessor)		92
Memory-Map (Co Prozessor)		92
Inbetriebnahme der Digitalelektronik		93

TECHNISCHE UNTERLAGEN

für die Orgeln OMEGA DX 10

und den Expander EX 10

A. Zielsetzung

Die vorliegende Schrift soll neben den Bau- und Bedienungsanleitungen Ihre Unterlagen in technischer Hinsicht erweitern. Zum Aufbau der Orgel bzw. des Expanders ist sie nicht erforderlich, jedoch kann sie durch die Einführung in die technischen Zusammenhänge einmal das Verständnis noch weiter fördern, und zum anderen als Grundlage bei einer - hoffentlich nicht erforderlichen - Fehlersuche dienen.

Die Art der Darstellung wendet sich nicht so sehr an den versierten Elektronikspezialisten als vielmehr an den interessierten Laien; es werden weniger die letzten fein ausgetüftelten Schaltungsdetails erläutert, als ein Gesamtbild über das Zusammenwirken der einzelnen Baugruppen gezeichnet.

B. Technisches Konzept

I. Die herkömmlichen Orgelsysteme

Um das neue WERSI-DX-Digitalorgel-Konzept besser einordnen zu können, seien kurz die anderen gängigen Orgel-Systeme erklärt.

Bausteinen, verarbeiten und formen die Töne jedoch nach wie vor analog.

1. Analog-Orgeln

Bei diesem Typ – und so arbeiten noch die meisten Orgelmodelle – werden die Töne in Form von elektromagnetischen Schwingungen in einem Tongenerator erzeugt, über Manuale und Pedal mit mechanischer oder elektronischer Tastung ausgewählt, in Filterschaltungen entsprechend klanglich geformt, dem Endverstärker zugeführt und über den Lautsprecher in hörbare Schwingungen umgesetzt.

Wir zu erkennen ist, bestimmt hier allein die Hardware (= Summe aller Bau- und Bedienteile) die Möglichkeiten eines solchen Instrumentes.

2. Quasi - Digital-Orgeln

Oft werden – vor allem in der Werbung – Orgeln als digital bezeichnet, die dieses "Prädikat" gar nicht verdienen. Sie besitzen in den Bereichen Tonerzeugung und elektronischer Tastung zwar digitale Unterstützung (z. B. serielle Datenübermittlung) mit komplexen IC-

3. Digital-Systeme mit abgespeicherten Originalklängen

Digital gespeicherte Klänge sind – vor allem in der Musikelektronik – von den digitalen Synthesizern und digitalen Rhythmusgeräten her bekannt. Genauso wie eine Trompete, ein Becken oder eine Kuhglocke lassen sich Trompeten, Geigen, Klaviere usw. speichern, allerdings – mit vernünftigem technischen Aufwand – nur für wenige Einzeltöne.

Diese Originaltöne werden bei der Wiedergabe ausgelesen und dabei über die Taktfrequenz – die von der Manualtaste aus gesteuert wird – in die entsprechende Tonlage geschoben; die Umsetzung erfolgt im Digital-Analog-Wandler. Doch klingen diese Töne dann nur noch um den Originalbereich herum echt und werden, je größer die Entfernung davon ist, mehr und mehr verfälscht, weil die Formanten nicht wie beim Originalinstrument konstant erhalten bleiben, sondern abhängig von der gespielten Tonhöhe über das ganze Manual mitlaufen.

II. Das Advanced DX-System mit voll digitaler Tonerzeugung

Bei dieser Technik von WERSI werden alle Klangfarben von einem Multi-Prozessorsystem berechnet und über Digital-Analogumformer in elektroakustische Schwingungen umgesetzt. Das Prozessorsystem besteht aus

- einem Master-Prozessor, der für die gesamte Organisation, die Keyboard- und Tasterabfrage zuständig ist,
- einem Co-Prozessor, der die Amplituden-Verläufe aller Tonerzeugungseinheiten berechnet und ausgibt, und
- bis zu 20 Slave-Mikrocomputern, die eine Waveform, entsprechend mit der jeweiligen Frequenz-Hüllkurve moduliert, ausgeben. Die Waveform wird dabei mittels Fourier-Synthese aus bis zu 32 Harmonischen (Obertönen) berechnet und kann mitlaufend oder als Festformant ausgegeben werden.

Bei jedem angeschlagenen Ton werden eine oder mehrere Tonerzeugungseinheiten vom Masterprozessor mit Daten versorgt und beginnen dann selbständig und synchron

mit dem Co-Prozessor, der ja die jeweilige Lautstärke bereitstellen muß, mit der Ausgabe des Klages. Der Vorteil dieses Systems besteht darin, daß verschiedene Tonerzeugungsverfahren unabhängig von einer speziellen Hardware angewandt und durch den Start mehrerer Tonerzeugungseinheiten mehrere Sounds gleichzeitig ausgegeben werden können. Da hier lediglich die Daten, die verarbeitet werden, den Klang bestimmen, können ständig neue Klangfarben in die Speicher geladen werden ohne zusätzlichen Hardware-Aufwand. Dies geschieht entweder über die Programmierung des Gerätes selbst oder durch externe Medien, wie Cartridge.

Für Anwender, die eine analoge Bedienung vorziehen, wurde zusätzlich ein digital steuerbares Filter integriert (24 dB/Okt.). Ebenso sorgen 3 Zeitverzögerungseinheiten für Effekte wie Rotor oder String.

Wie aus der Gegenüberstellung der verschiedenen Synthesizerkonzepte zu ersehen ist, bietet das Advanced DX-Konzept die komplexeste und flexibelste Art der Klangerzeugung.

Das DX 10-System im Gesamtschaltbild

Das nebenstehende Blockschaltbild zeigt die Gesamtstruktur der DX 10 bzw. des Expanders EX 10 nach Platinen und Funktionsgruppen aufgeteilt.

Der linke Teil umfaßt den Bereich der Bedienfelder. Wir unterscheiden digitale und analoge Eingabewerte. Zum analogen "Input" zählt die Erfassung aller Schieberegler einschließlich Wheels, Touch und Swellshoe (Fußpedal). Diese werden im Multiplexverfahren einem A/D-Umformer zugeführt, der die analogen Werte digital dem Hauptprozessor zur Verfügung stellt.

Als digitale Inputs haben wir 64 Taster, die in 16-er Gruppen seriell abgefragt werden.

Eine weitere Eingabe stellt die Keyboard-Tastatur dar. Da hier die dynamische Abfrage von 49 Tasten den Masterprozessor zu sehr beschäftigen würde, übernimmt ein eigener Single-Chip-Mikrocomputer (Z 8601) diese Aufgabe. Dieser teilt dem Master nur Tastenveränderungen unter Einbezug der Tastengeschwindigkeit mit.

Zur digitalen Ausgabe gehören die Latches und der D/A-Umformer auf der Analogplatine oben im Bild. Die Signale dieser Einheiten steuern die Analog-Einheiten VCF, Wersivoice (WV) und die Vorstufe.

Wie auch bei einem herkömmlichen Mikroprozessorsystem finden wir die Elemente Work-RAM (Arbeitsspeicher), Programm-ROM, in dem der Befehlsablauf enthalten ist, und eine serielle Schnittstelle (ACIA) für MIDI In/Out.

Die Soundparameter sind in eigenen ROMs und RAMs abgelegt (Voice ROM für 20 DMS-Klänge, Voice RAMs für 10 CVx + 8 Presets). Wegen der Größe des Adressbereiches müssen die Module zusammen mit der Adressierung der Cartridge über einem Schalter "gebant" werden.

Wie schon erwähnt, ist der Aufgabenbereich für einen Mikroprozessor (uP) zu komplex, so daß das Problem der Amplituden-Hüllkurvensteuerung ein Co-Prozessor übernimmt. Dieser erhält seinen Programmablauf und seine Daten über ein Dual-Port

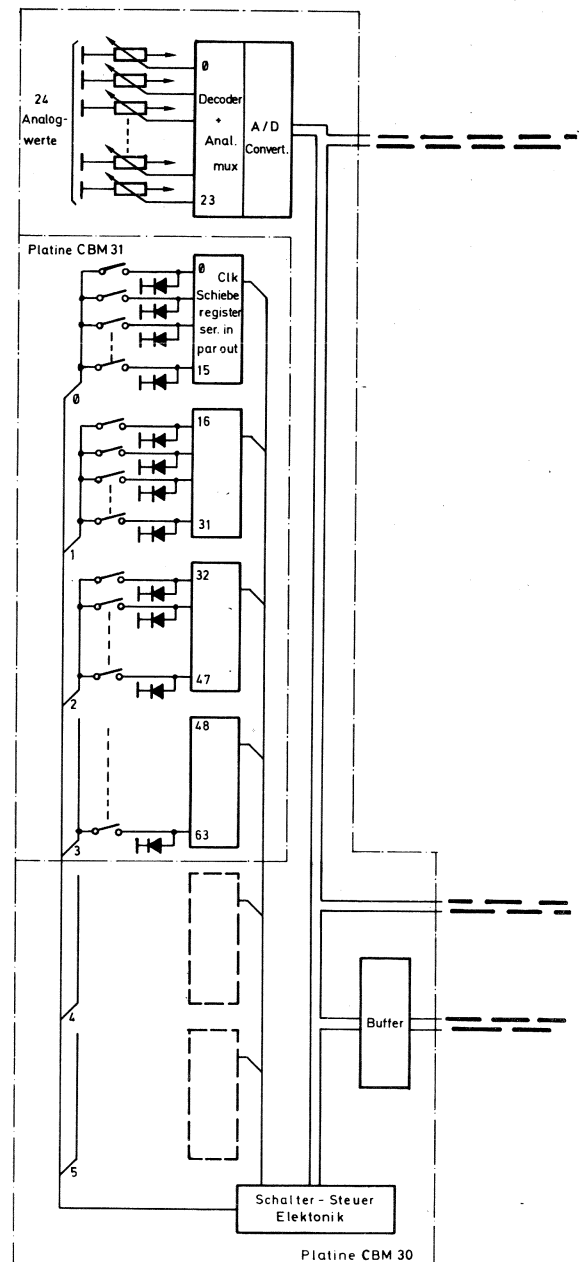
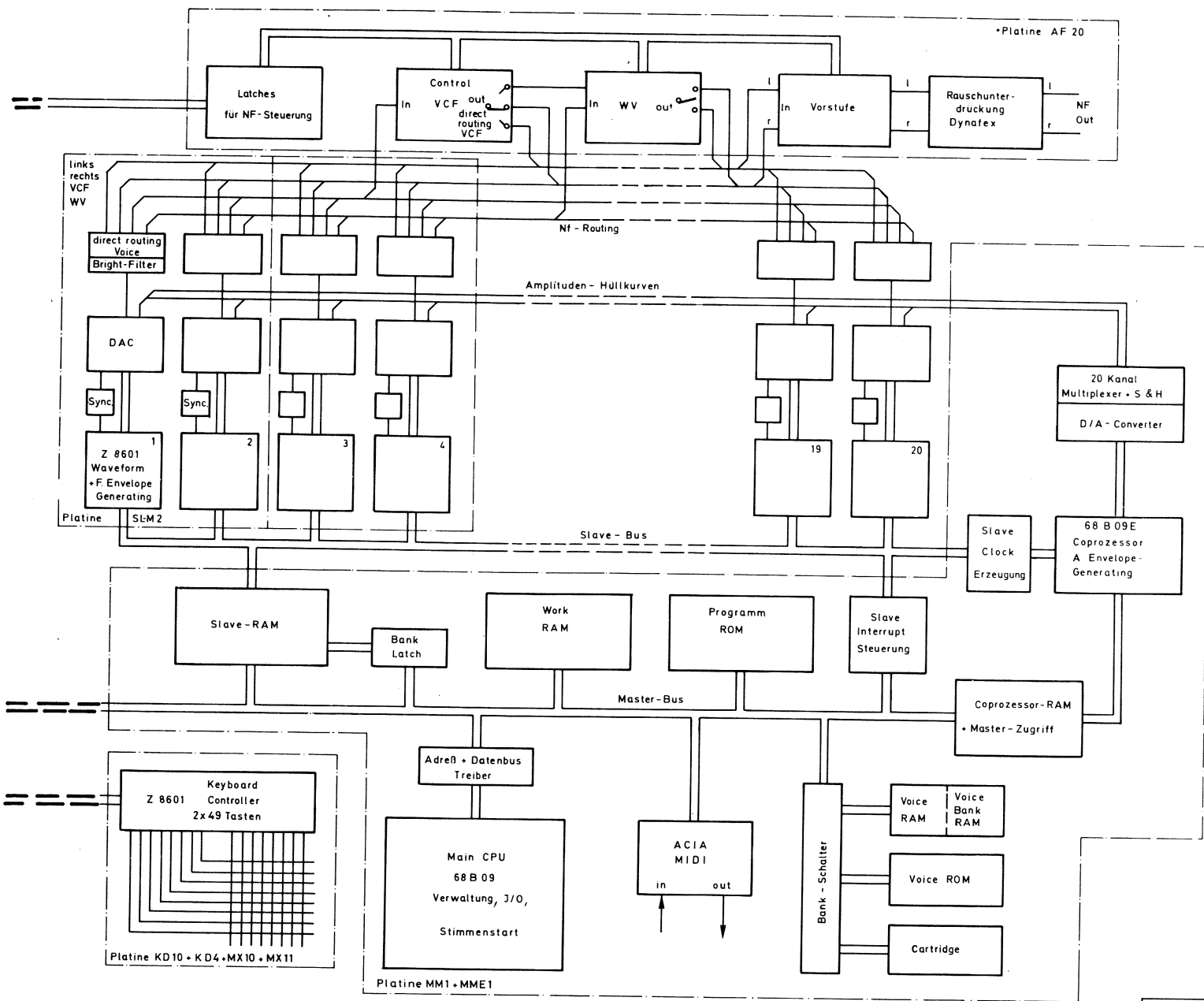


Abb. 1: Gesamtschaltbild

(Für den Expander EX 10 entfallen KD 10, KD 4 und MX 11 und an die Stelle von CBM 30 und 31 tritt die ME 2.)

RAM, das sowohl vom Master als auch vom Co-Prozessor gleichzeitig gelesen und beschrieben werden kann. Er berechnet die Amplitudenwerte und gibt diese über D/A-Umformer, einen 20-Kanal-Multiplexer + Sample & Hold analog an die Slave-DACs aus. Zusätzlich sorgt er für einen synchronen Ablauf der Frequenz- und Amplituden-Hüllkurve jedes Slaves mit Hilfe von einzelnen Clock-Impulsen.



Die bis zu 20 Slave-Prozessoren sind wie der Keyboard-Controller Single-Chip-Computer. Sie erhalten ihre Daten über Waveform, Frequenzhüllkurve, Tonnummer, Syntheseverfahren und Pitch über das Slave-RAM, welches über das Bank-Latch 32 unterschiedliche Blöcke adressieren kann. Eine Rückmeldung der Slaves an den Master erfolgt über die Slave-Interrupt-Steuerung. Nun beginnen diese Prozessoren ihre Waveformausgabe

timersynchron über den DAC. Es erfolgt eine filtermäßige Aufbereitung, wahlweise über das Bright-Filter, bis das nun fertige Audio-Signal über den Routing-Schalter den Nf-Sammelschienen links, rechts, VCF und WV zugeordnet wird. Nach eventueller Nachbearbeitung durch VCF und WV gelangt das Audiosignal über die Vorstufe zur abschaltbaren Rauschunterdrückung und schließlich zu den Ausgangsbuchsen.

C. Schaltbilder und Erläuterungen

In diesem Kapitel sind – geordnet nach Platinen – die genauen Schaltbilder mit kurzen Erläuterungen dazu zusammengestellt. Auch der Positionsdruck (Bestückungsdruck) ist nochmals abgedruckt – bei den Bedienfeldern auch in der Sicht von der Lötseite her – daher spiegelbildlich wiedergegeben.

I. Erläuterungen zur Platine PS 20

Das Schaltnetzteil PS 20 arbeitet nach dem Durchflußwandlerprinzip. Dieses Wandlerprinzip gestattet die Erzeugung mehrerer geregelter Ausgangsspannungen mit nur einem Transformator und Drossel. Der Wirkungsgrad ist hoch, die Welligkeit der Ausgangsspannungen gering.

Abb. 2 zeigt die Prinzipschaltung eines solchen Wandlers, in Abb. 3 sind die zugehörigen (idealisierten) Spannungs- und Stromverläufe dargestellt.

Während der Leitphase t_L (S geschlossen) ist die Diode D 1 ebenfalls leitend; es wird Energie in den Lastkreis R_L übertragen (daher der Name Durchflußwandler). Gleichzeitig nimmt die Drossel L mit dem linear ansteigenden Strom I_L Energie auf. Die Diode D 2 ist gesperrt.

Wird der Schalter S geöffnet, so ist D 1 in Sperrrichtung gepolt und daher stromlos. Infolge der in der Drossel L gespeicherten Energie fließt der Strom durch L und damit durch den Lastkreis in gleicher Richtung weiter, wobei die jetzt leitende Diode D 2 als Freilaufdiode wirkt. Dabei fällt wegen $U_0 \sim$ konstant der Drosselstrom wieder linear ab. C glättet die Ausgangsspannung U_0 .

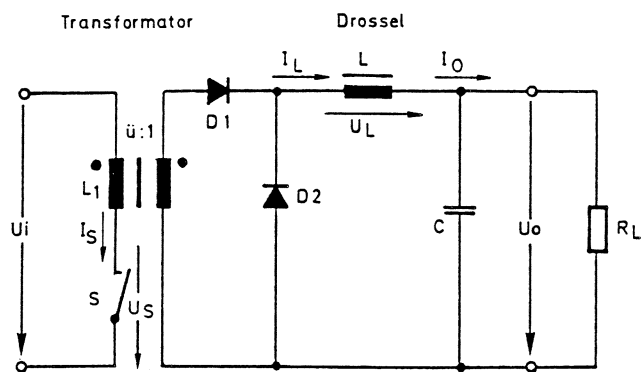
Die während der Leitphase vom Transformator zwangsläufig aufgenommene magnetische Energie, gegeben durch den schraffierten Magnetisierungsstromanteil des Schalterstroms I_S ist für die Funktion der Schaltung unerwünscht. Sie muß mit geeignetem Mittel absorbiert, an die Gleichstromquelle U, zurückgeführt oder sonstwie nutzbar gemacht werden. Womit man gleichzeitig die Spannung am Transformator bzw. am Schalter (U_S) begrenzt.

Betrachten wir die aktuelle Schaltung des Netzteils PS 20. Die wesentlichen Elemente der Prinzipschaltung sind leicht zu erkennen:

der Transformator HFT 1 mit der Primärwicklung n_1 und die Sekundärwicklungen $n_2 - n_5$.

Die Wicklungen (n_1, n_2, n_3) der Drossel MDR 1 sitzen auf einem **gemeinsamen** Kern. Dieses Prinzip gewährleistet eine relativ gute Mitregelung der ± 14 V-Ausgänge, obwohl nur der 5 V-Ausgang absolut konstant gehalten wird. Die Gleichrichterdiode D 4, 5, 6, 7 sind superschnelle Spezialdioden (um die Schaltverluste niedrig zu halten).

DD 1 ist eine Schottky-Doppeldiode mit niedriger Durchlaßspannung.



$$V_O = V_T \frac{U_i}{\bar{u}}$$

$$\begin{aligned}
 t_L &= \text{Leitphase} \\
 t_S &= \text{Sperrphase} \\
 T &= \text{Periode} \\
 V_T &= \text{Tastverhältnis} = \frac{T}{t_L}
 \end{aligned}$$

Abb. 2: Prinzipschaltung eines Durchflußwandlers

C 1, 2, 3 sind schaltfeste Elkos mit guten HF-Eigenschaften. Die Rolle des Schalters übernimmt ein Leistungs-FET, Q 3. Für einen Feldeffekt-Transistor sprechen mehrere Gründe: sehr kurze Schaltzeiten, geringe Treiberleistung, Robustheit.

Das Netzwerk D 10, R 35, C 17, 18 bzw. R 36, C 16 am Drain des Transistors stellt das dar, was wir bei der Prinzipbeschreibung "geeignetes Mittel" genannt haben.

Das Netzwerk ist so dimensioniert, daß die Energie während der Sperrphase mit Sicherheit absorbiert wird und die Spannung am Drain auf etwa 80 V begrenzt wird. Nachdem die Energie abgeflossen ist, sinkt die Drainspannung auf U_i (Bild 2, U_S).

Da diese Energie in dem Kern des Trafos gespeichert ist, steht sie an jeder Wicklung zur Verfügung. So auch an n 3, wo wir mit Hilfe von D 9 einen Teil dieser Energie als negative Spannung abgreifen, die uns an C 14 bzw. an der Z-Diodenkette D 6, 5, 4 als Hilfsspannung "umsonst" zur Verfügung steht (Display).

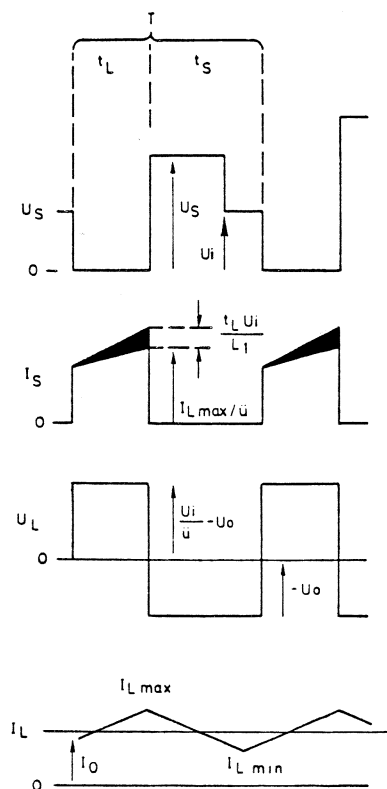


Abb. 3: Spannungs- und Stromverläufe am Wandler

Die Spannung an n 5 wird als Wechselspannung (ca. 8 V_{SS}) herausgeführt.

Soviel von Trafo, Schalter und Drossel.

Da wir ein Schaltnetzteil vor uns haben und mit Begriffen wie Schalttransistor, Leitphase, Tastverhältnis und Regelung operieren, müssen wir zwangsläufig das wichtigste Teil der Schaltung unter die Lupe nehmen: das Steuer- und Regelteil.

Es gibt verschiedene Möglichkeiten, die Ausgangsspannung eines Schaltnetzteils konstant zu halten. Wir haben die Methode "konstante Frequenz, variables Tastverhältnis" gewählt.

Im PS 20 arbeitet mit dem UC 3842 ein sehr moderner Baustein. Im Gesamtschaltbild ist der interne Aufbau des ICs schematisch angedeutet. Die Funktionsweise können wir am besten verstehen, wenn wir einen Arbeitszyklus "durchspielen".

Der Oszillator läuft mit einer Frequenz von etwa 100 kHz. Die positive Flanke setzt den Flip-Flop und damit den

DRIVE-Ausgang, Q 3 schaltet durch (Leitphase). Durch die Primärwicklung Q 3 und R 37 fließt jetzt der Strom I_s (Bild 2). Die Spannung über R 37 (die ja eine genaue Abbildung des Stromes I_s ist) gelangt auf den +-Eingang des Komparators. (Das Filter R 40, 44, C 19, 22 hält hochfrequente parasitäre Schwingungen fern). Wenn diese linear ansteigende Spannung den auf dem --Eingang stehenden Wert erreicht hat, schaltet der Komparator um, der setzt den Flip-Flop zurück, der Drive-Ausgang geht auf Null, Q 3 sperrt und damit sind wir in der Sperrphase.

Mit der nächsten positiven Flanke des Oszillators fängt das Spiel von vorne an. Denken wir jetzt wieder daran, daß der Strom I_s (und damit die Spannung am +-Eingang) **zeitlinear** ansteigt und ändern wir die Spannung am --Eingang.

Machen wir sie positiver **dauert** es länger bis die linear ansteigende Spannung am anderen Eingang sie erreicht; die Leitphase ist **länger**. Entsprechend, wird die Leitphase kürzer, wenn wir die Spannung verkleinern. Die Länge der Leitphase und damit das Tastverhältnis hängt also von der am --Eingang stehenden Spannung ab.

Diese Spannung liefert uns der ebenfalls integrierte (invertierende) Regelverstärker. Sein +-Eingang hängt an der internen Referenzspannungsquelle von + 2,5 V, der --Eingang über den Spannungsteiler R 26/R 42 am 5 V-Ausgang des Netzteils. Sinkt die Spannung am Ausgang (weil wir ihn stärker belasten), wird der Verstärker-Ausgang, d. h. die Komparatorschwelle positiver und das Tastverhältnis größer. Damit steigt die Ausgangsspannung wieder auf 5 V, der Regelvorgang ist abgeschlossen. Das ganze funktioniert natürlich auch in der anderen Richtung.

Eine Besonderheit des Steuer-ICs muß noch erwähnt werden. Es zeigt Schmitt-Trigger-Verhalten, bezogen auf seine Versorgungsspannung (Pin 7). Die Schwellen liegen bei 16/10 V. Das bedeutet, daß er über 16 V die Arbeit aufnimmt und unter 10 V "schaltet er sich ab".

In der Praxis bedeutet das folgendes:

Nach dem Einschalten der Wechselspannung haben wir am Lade-Elko C 27 ca. + 40 V. An dem Elko C 26 steigt die Spannung relativ langsam an (R 41 = 10 k), das IC zieht einen Strom von ca. 1 mA. Beim Erreichen der 16-V-Schwelle läuft das IC an und damit das ganze Netzteil. Die Ausgangsspannungen bauen sich auf und der + 14-V-Ausgang übernimmt jetzt über D 8 die Versorgung des ICs, (dessen Verbrauch jetzt 6 - 8 mA

beträgt). Wenn diese Übernahme aus irgendeinem Grund nicht stattfindet, verursacht der erhöhte Verbrauch am R 41 erhöhten Spannungsabfall, infolgedessen sinkt die Spannung am C 26 rapide unter 10 V, das IC schaltet sich ab, der Verbrauch sinkt auf 1 mA, und der Vorgang wiederholt sich zyklisch.

Strombegrenzung

Über R 32, R 33, R 34 werden die jeweiligen Ausgangsströme erfaßt. Die korrespondierenden Komparatoren (IC 2) sind entsprechend vorgespannt. Beim Erreichen der Schwelle (am 5 V-Ausgang ca. 5 A an den \pm 14 V-Ausgängen ca. 500 mA) schalten sie um (NPN open-collector-Ausgänge) und erzwingen ein kleineres Tastverhältnis; der entsprechende Ausgang wird zur Konstant-Stromquelle.

Bei weiterer Erhöhung der Last (bis zum Kurzschluß) sinken die Ausgangsspannungen ab. Bei 10 V am 14 V-Ausgang schaltet sich das Steuer-IC ab und das Netzteil geht in den oben beschriebene zyklischen "Startversuch"-Mode.

Der vierte Komparator (IC 2) bildet mit dem Thyristor Th 1 eine "crowbar"-Schaltung und schützt den 5 V-Ausgang vor Überspannung (von außen). (Ansprechschwelle ca. 5,5 V.)

IC 1 erzeugt das power-up und power-down Reset (System Reset).

Q 1 und Q 2 sorgen für das verzögerte Durchschalten bzw. promptes Abschalten des externen Relais (anticlick)

Technische Daten PS 20

Bauart	:	Eintakt-Durchflußwandler
Input	:	28 V / 2 A
Output	:	1) 5 V / 6 A 2) + 14 V / 500 mA (im Leerlauf ca. 12,6 V) 3) - 14 V / 500 mA (im Leerlauf ca. 12,6 V)
		Hilfsspannungen
		1) - 5 V / 10 mA, - 10 V / 10 mA 2) - 35 V / 2 mA, - 10 V / 5 mA, ca. 8 V _{SS} / 20 mA
Arbeitsfrequenz	:	ca. 100 kHz

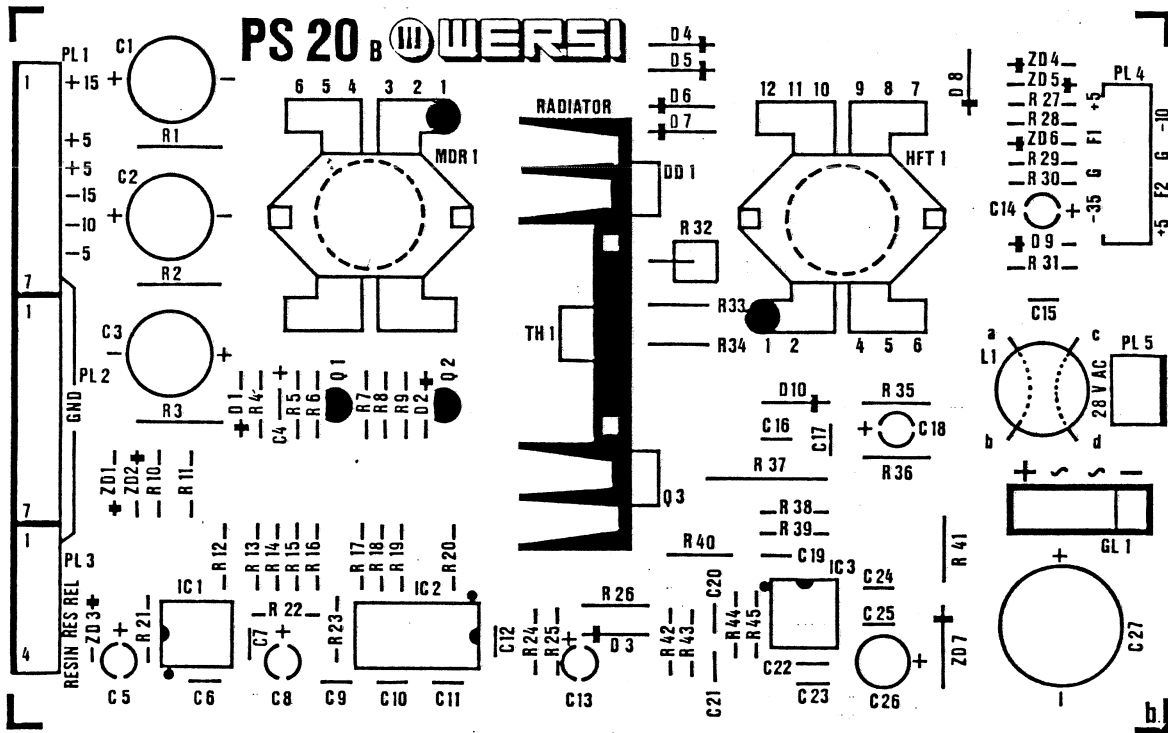


Abb. 5: Positionsdruck PS 20

II. Erläuterungen zu den Platinen KD 10 und KD 4 (nur in OMEGA)

Die Platine KD 10 enthält zusammen mit der Platine KD 4 die Tastaturabfrage des Obermanuals. Ein Single-Chip-uC (IC 4), ähnlichen Typs wie im Slave, übernimmt dabei die komplette Abfrage und Ausgabe.

Die Dynamikerfassung erfolgt nach dem Prinzip der Zeitmessung. Dazu ist mit jeder Taste ein Umschalter verbunden. Es wird die Zeit vom Öffnen des Ruhekontaktes bis zum Schließen des Arbeitskontaktes gemessen. Jeweils 8 Schalter sind zu einer Matrix-Adresse zusammengefaßt. Für 4 Oktaven (49 Tasten) sind 7 Matrix-Adressen notwendig. Diese Matrix-Adressen werden nacheinander auf Masse gezogen und so der Zustand an den 16 Kontakten abgefragt. Die Geschwindigkeit, mit der diese

Abfrage erfolgt, ist über den Codierschalter einstellbar, der jedoch nur nach Reset abgefragt wird. Ist diese Zeit sehr kurz, muß die Taste sehr schnell niedergedrückt werden, damit der lauteste Wert erreicht wird. Übergeben werden die Werte in einem 2 Byte-Parallel-Port (IC 2, 3). Im ersten Port stehen die Tonhöhe und ob der Ton an oder ausgeschaltet werden soll, im zweiten der Dynamikwert. Wenn der Dynamikwert eingeschrieben ist, wird ein Flip-Flop gesetzt, das den Keyboard-Interrupt vorbereitet, der durch das 'Enable-Keyboard-Interrupt'-Signal (ENKBQ) dann freigegeben wird. Liest die Master-CPU den 2. Port, so wird das Flip-Flop wieder zurückgesetzt. Ein neuer Datentransfer kann beginnen.

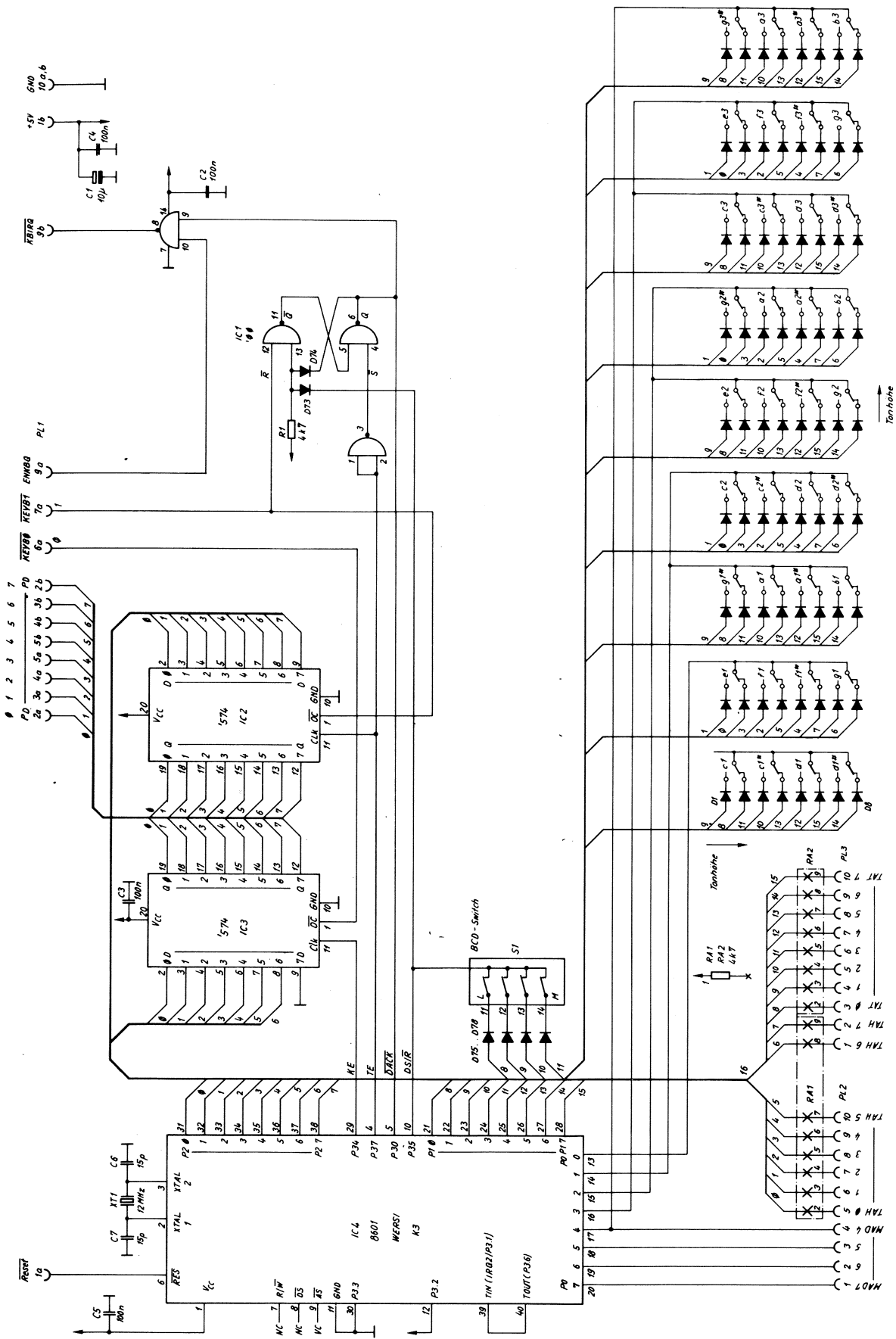
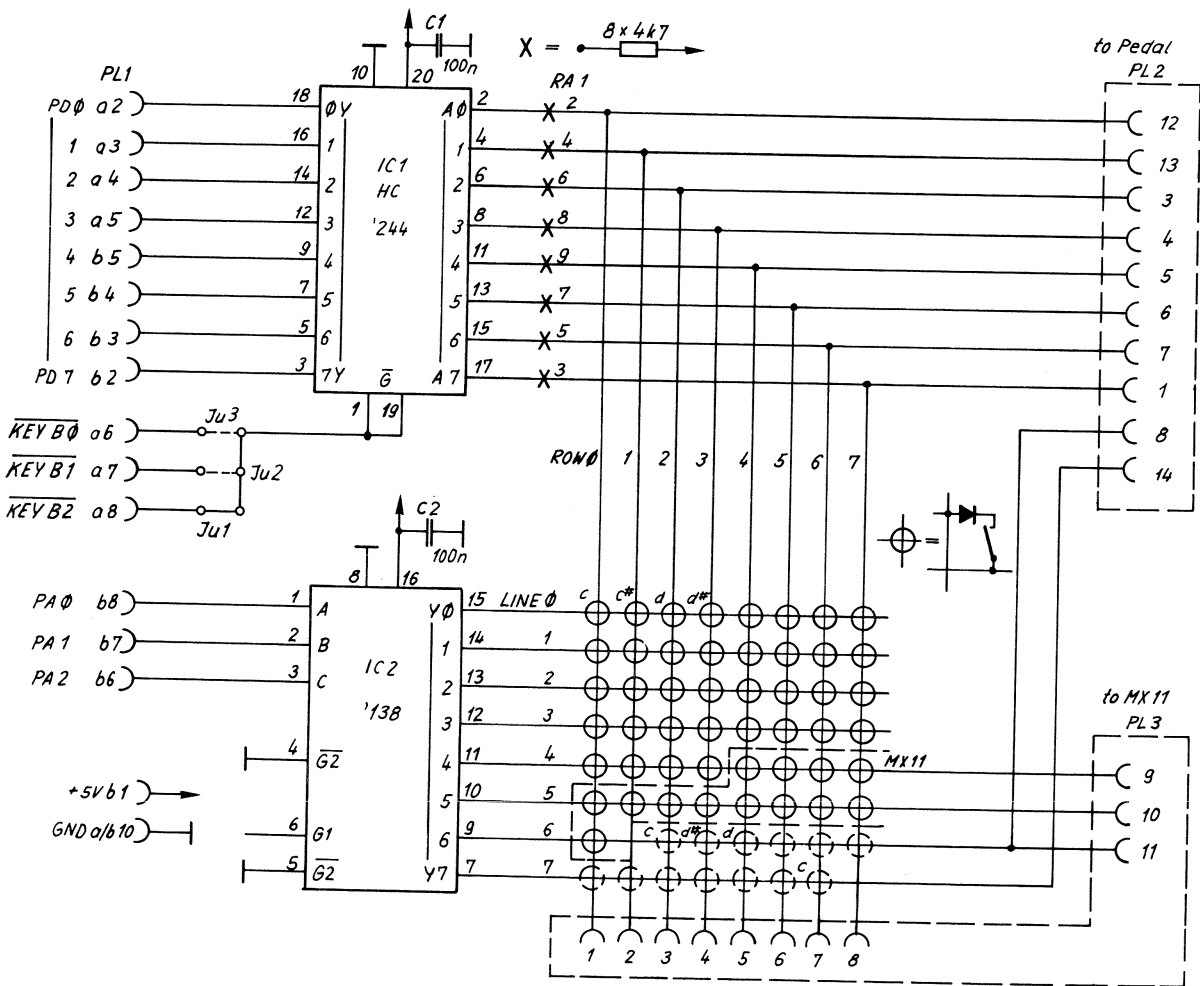


Abb. 6: Schaltbild der Platine KD 10

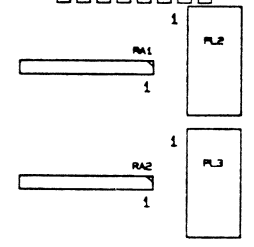


3/1003

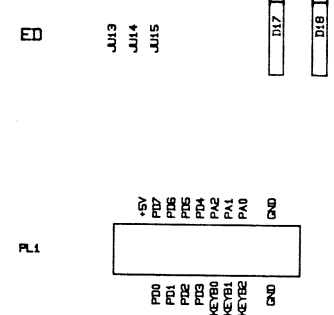
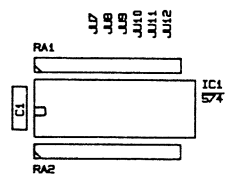
Abb. 6 a: Schaltbild der Platine MX 10

D33 NF18
 D34 NF19
 D35 NF20
 D36 NF21
 D37 NF22
 D38 NF23
 D39 NF24
 D40 NF25
 D41 NF26
 D42 NF27
 D43 NF28
 D44 NF29
 D45 NF30
 D46 NF31
 D47 NF32
 D48 NF33
 NF34
 NF35
 NF36
 NF37
 NF38
 NF39
 NF40
 NF41
 NF42
 NF43
 NF44
 NF45
 NF46
 NF47
 NF48
 NF49
 NF50
 NF51
 NF52
 NF53
 NF54
 NF55
 NF56
 NF57
 NF58
 NF59
 NF60
 NF61
 NF62
 NF63
 NF64
 NF65
 NF66
 NF67
 NF68
 NF69
 NF70
 NF71
 NF72
 NF73
 NF74
 NF75
 NF76
 NF77
 NF78
 NF79
 NF80
 NF81
 NF82
 NF83
 NF84
 NF85
 NF86
 NF87
 NF88
 NF89
 NF90
 NF91
 NF92
 NF93
 NF94
 NF95
 NF96
 NF97
 NF98
 NF99
 NF100

I
 U
 NR. 51426



NF7
 NF8
 NF9
 NF10
 NF11
 NF12
 NF13
 NF14
 NF15
 NF16
 NF17
 NF18
 NF19
 NF20
 NF21
 NF22
 NF23
 NF24
 NF25
 NF26
 NF27
 NF28
 NF29
 NF30
 NF31
 NF32
 NF33
 NF34
 NF35
 NF36
 NF37
 NF38
 NF39
 NF40
 NF41
 NF42
 NF43
 NF44
 NF45
 NF46
 NF47
 NF48
 NF49
 NF50
 NF51
 NF52
 NF53
 NF54
 NF55
 NF56
 NF57
 NF58
 NF59
 NF60
 NF61
 NF62
 NF63
 NF64
 NF65
 NF66
 NF67
 NF68
 NF69
 NF70
 NF71
 NF72
 NF73
 NF74
 NF75
 NF76
 NF77
 NF78
 NF79
 NF80
 NF81
 NF82
 NF83
 NF84
 NF85
 NF86
 NF87
 NF88
 NF89
 NF90
 NF91
 NF92
 NF93
 NF94
 NF95
 NF96
 NF97
 NF98
 NF99
 NF100



NF24
 NF25
 NF26
 NF27
 NF28
 NF29
 NF30
 NF31
 NF32
 NF33
 NF34
 NF35
 NF36
 NF37
 NF38
 NF39
 NF40
 NF41
 NF42
 NF43
 NF44
 NF45
 NF46
 NF47
 NF48
 NF49
 NF50
 NF51
 NF52
 NF53
 NF54
 NF55
 NF56
 NF57
 NF58
 NF59
 NF60
 NF61
 NF62
 NF63
 NF64
 NF65
 NF66
 NF67
 NF68
 NF69
 NF70
 NF71
 NF72
 NF73
 NF74
 NF75
 NF76
 NF77
 NF78
 NF79
 NF80
 NF81
 NF82
 NF83
 NF84
 NF85
 NF86
 NF87
 NF88
 NF89
 NF90
 NF91
 NF92
 NF93
 NF94
 NF95
 NF96
 NF97
 NF98
 NF99
 NF100

JH16



WERSI

MX10

NR. 51496

IV. Erläuterungen zu den Bedienfeldplatinen (nur in OMEGA; für EX 10 siehe Platine ME 2.)

1. Die Erfassung und Ausgabe der LED-Taster: (CBM 29, 30, 31, 36)

Die Ausgabe aller LEDs erfolgt in 6 Gruppen zu je 16 Elementen. Jede Gruppe bekommt seriell die Information für jedes Element, aber alle Gruppen werden parallel bedient, so daß nach 16 Clock Zyklen alle 96 Taster-LEDs ihren logischen Zustand erhalten haben. Die Gruppen sind jeweils mit 2 8-Bit-Seriell-In/parallel-Out-Schieberegistern realisiert (CBM 29: IC 2, 3 / IC 4, CBM 30: IC 7 / IC 12, CBM 31: IC 6 / IC 4, 5 / IC 1, 3, CBM 36: IC 2,1). PA 0 ... PA 5 sind die Datensignale der vier Gruppen, Panck ist der serielle Schiebetakt, mit Panres können alle Bausteine auf 0 gesetzt werden.

Die Tastererkennung läuft über Komparatoren (CBM 29: IC 1 / CBM 30: IC 8 / CBM 31: IC 2 / CBM 36 : IC 3). Als Beispiel wollen wir die Gruppe 1 (CBM 31) betrachten, alle übrigen Gruppen sind in ihrer Funktion identisch. Ist kein Taster gedrückt, so wird die Spannung an Pin 5 und 6 von IC 1 nur von dem Spannungsteiler R 43 und R 50 bestimmt, da die Tasterausgänge offenliegen. Es stellt sich ein Wert von ca. 1,5 V ein. durch die Widerstandskette R 47, 48, 49 ist der Schwellwert des oberen Komparators auf $> 2,1$ V und der des unteren Komparators auf $< 1,3$ V eingestellt, d.h. in diesem Zustand sind alle Komparatorausgänge durch die Pull-up-Widerstände (R 44, 41) auf + 5 V gezogen. Wird ein Taster geschlossen, so nimmt der Eingang der Komparatoren (Pin 5, 6) einen logischen Pegel an ($< 0,7$ V oder $> 2,4$ V) und damit schaltet einer der Komparatoren durch und löst (gegebenenfalls durch D 1) ein "Keydown"-Signal aus (KD). Dies läßt den Masterprozessor erkennen, daß irgendeine Taste gedrückt worden ist.

Nun löscht der Master mit Panres alle Schieberegister und schiebt lediglich nur eine logische 1 durch alle 16 Stufen durch. Nach jedem Schritt wird die Sense-Leitung (Sense 0 ... 5) beobachtet. Gelangt die logische 1 ($> 2,4$ V) an den gedrückten Taster, so schaltet der obere Komparator die Sense-Leitung auf Masse und der Prozessor kann nun anhand der Schiebezyklen die Tasternummer erkennen. Diese Prozedur läuft für alle Gruppen parallel, so daß nach

maximal 16 Schiebeclocks der Taster und die Gruppe lokalisiert ist. Mit diesem Verfahren kann jedoch nur ein einzelner Tasterdruck erkannt werden. Die Kennungssignale KD, Sense 0 ... 5 werden über den Eingangsport "Panin" (CBM 30 : IC 5) von der CPU gelesen. Die serielle Schiebedaten (PA 0 ... 5) werden in das "Panout" Latch (CBM 30 : IC 9) geschrieben.

2. Das Display: (CBM 30)

Das "Panout"-Latch IC 9 beinhaltet ferner die Daten- und Clockleitung für den Display-Controller IC 11. Dieser steuert selbständig das 16-stellige alphanumerische Fluorecent-Display an. Die Heizspannung für das Display stellt das Netzteil als getaktetes Signal zur Verfügung. Diese Spannung stellt gleichzeitig das Kathodenpotential für die Display-Segmente dar.

3. Die Analogwerterfassung (CBM 30)

Analoge Größen (Poti-Werte, Touch, Wheel, Fußschweller) können von einem Mikroprozessor nicht direkt erfaßt werden. Sie müssen erst in digitale Größen umgewandelt werden. Dies bewerkstelligt ein A/D-Umformer (IC 6). Er besitzt jedoch nur einen Analog-Eingang (Pin 6). Um die 24 Analogwerte zu erfassen, wird jeweils ein Poti über einen Analogschalter auf den Eingang des A/D-Umformers geleitet und konvertiert. Nach 24 Meßzyklen sind alle Werte erfaßt. Ein Meßvorgang dauert ca. 1 ms. Im oberen Teil des Schaltbildes der CBM 30 befinden sich die drei 8-fach-Analogschalter (IC 2, 3, 4). Ihre Ansteuerung erfolgt über das Poti-Latch IC 10.

4. Die Keyboard-Eingangselektronik (CBM 30)

Die Master-Decodierung stellt für die Keyboard-erfassung drei Select-Leitungen zur Verfügung (KEYB 0 ... 2). Zwei Select-Leitungen benötigt die dynamische Tastatur-Elektronik auf der KD 10 (Tasternummer, Dynamikwert). Das Untermanual wird von der Haupt-CPU abgefragt durch KEYB 2.

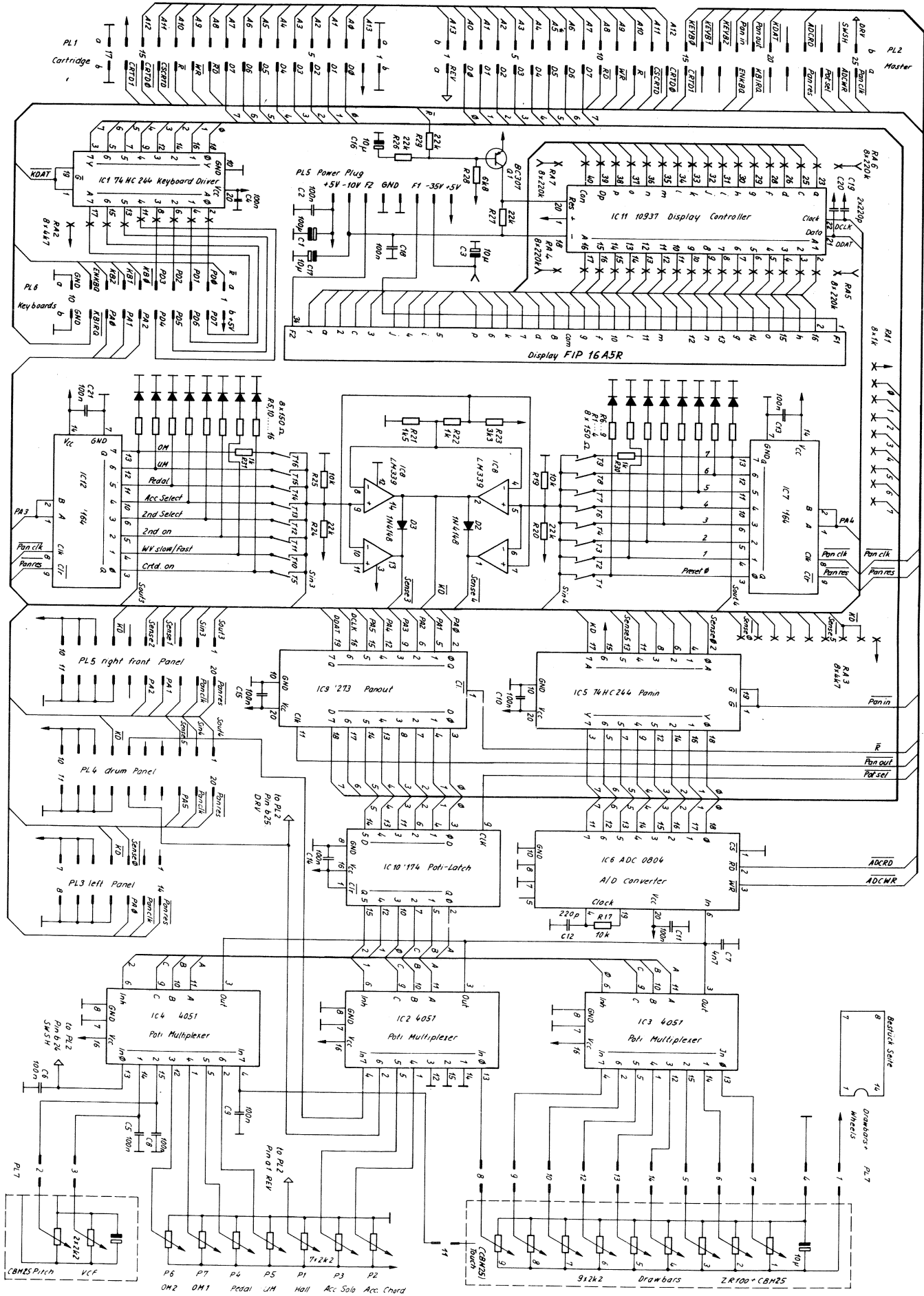
Zur Pufferung der Datenleitung dient der Keyboard-Treiber IC 1.

III. (5.) Erläuterungen zur Platine MX 10/MX 11

Das Untermanual wird nicht dynamisch erfaßt, d. h. es werden lediglich Tasterzustände abgefragt, ohne dabei eine Zeitmessung vorzunehmen.

Dabei wählt die Haupt-CPU über die Peripherie-Adressen PA 0 ... PA 2 eine Zeile "LINE" 0 ... 7 an (IC 2) und fragt anschließend die Spalten "ROW" 0 ... 7 über IC 1 ab. Eine gedrückte Taste wird durch eine logische 0 in der entsprechenden Spalte erkannt. Nachdem nun nacheinander alle 8 Zeilen abgefragt worden sind, hat die CPU ein Abbild aller gedrückten Tasten erhalten.

Die 13 Pedaltasten werden gleich mit erfaßt, denn man kann ja maximal 64 Tastenzustände abfragen.



22 Abb. 8: Schaltbild der Platine CBM 30

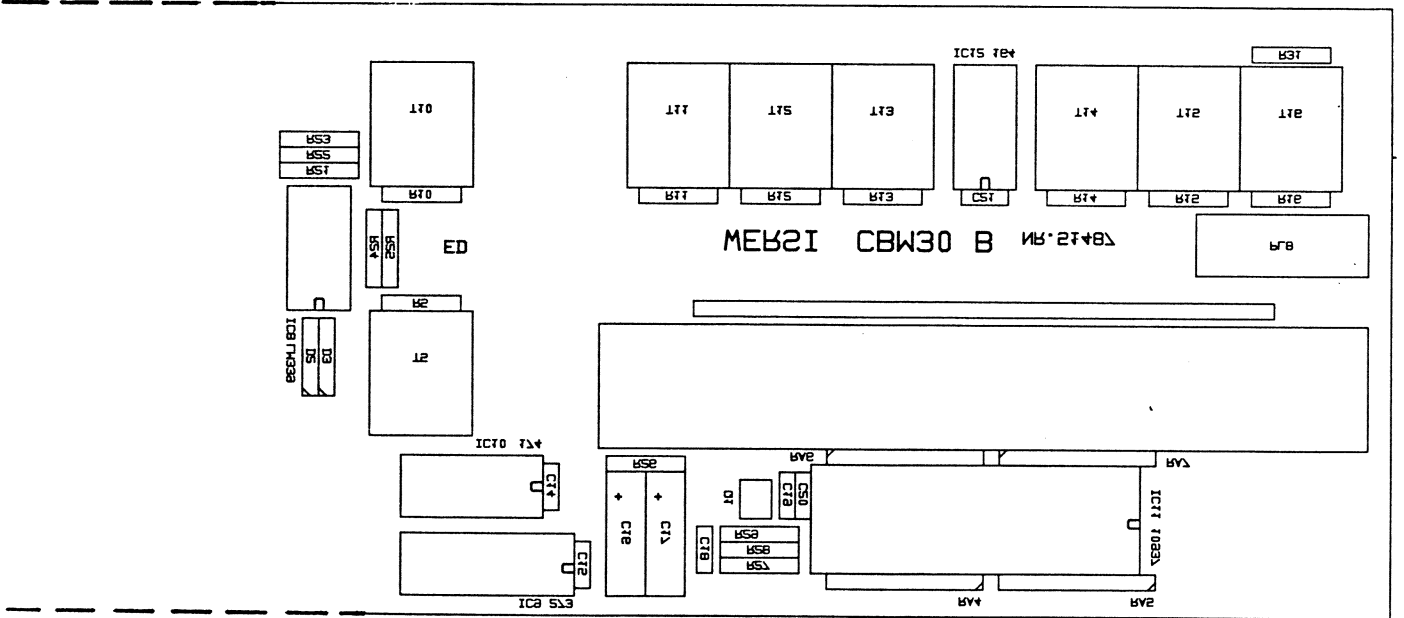
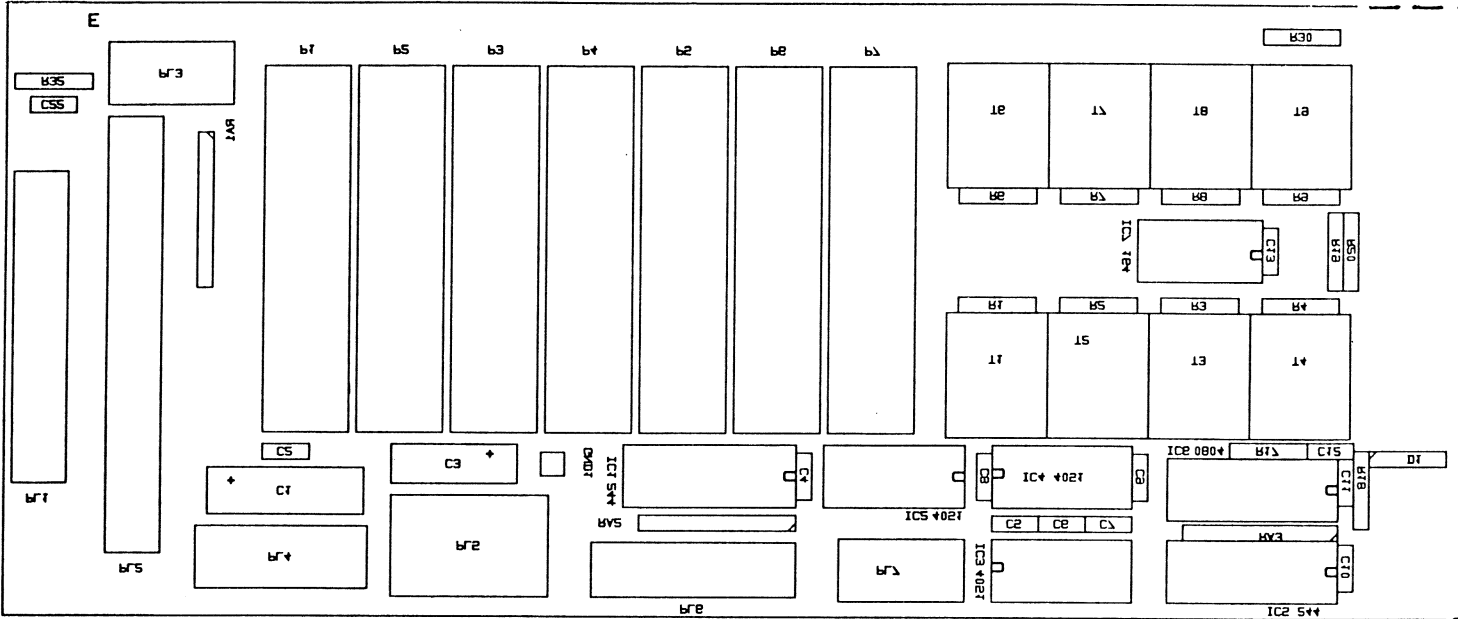


Abb. 9: Positionsdruck CBM 30, mit "Röntgenaugen"

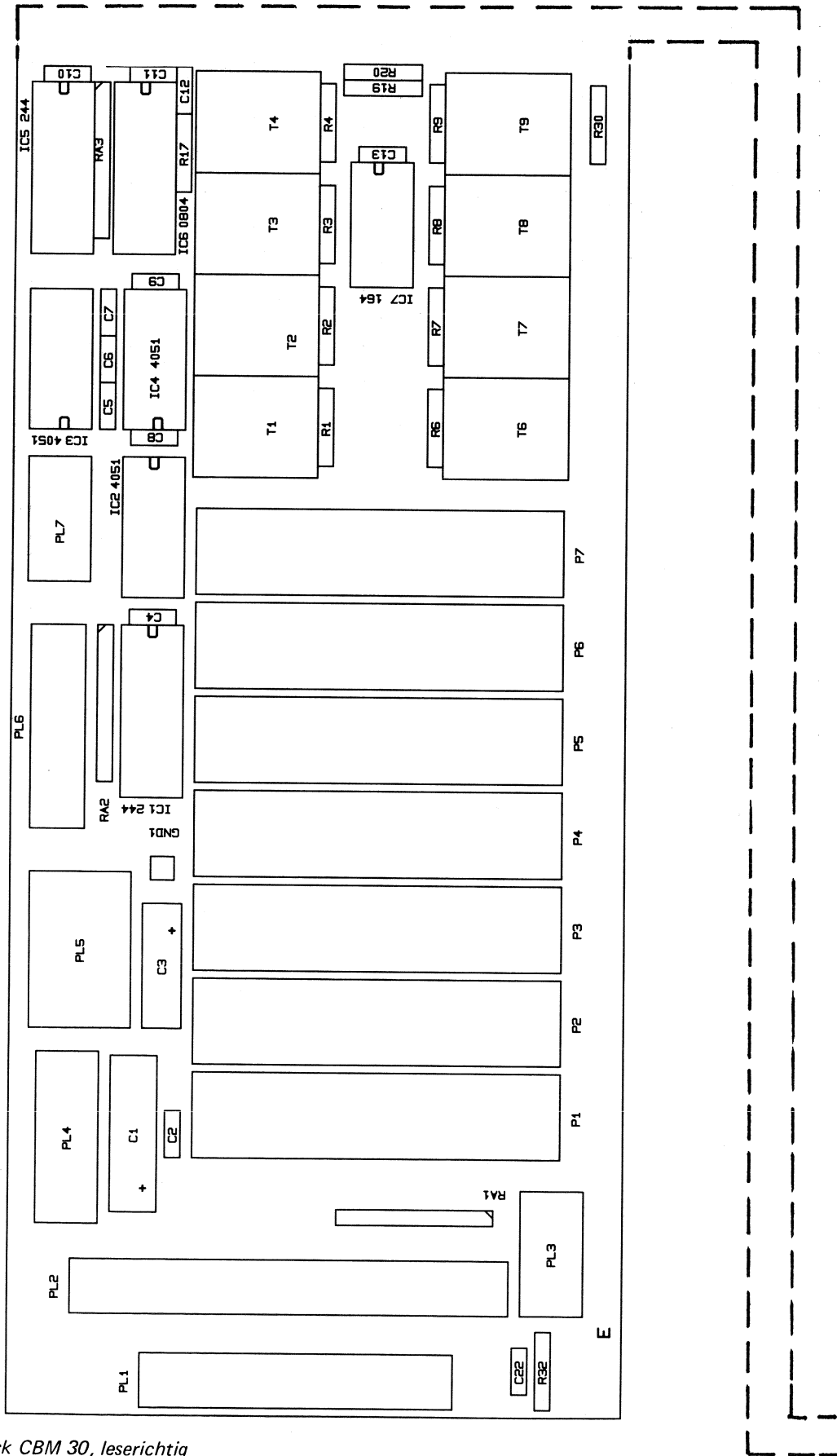
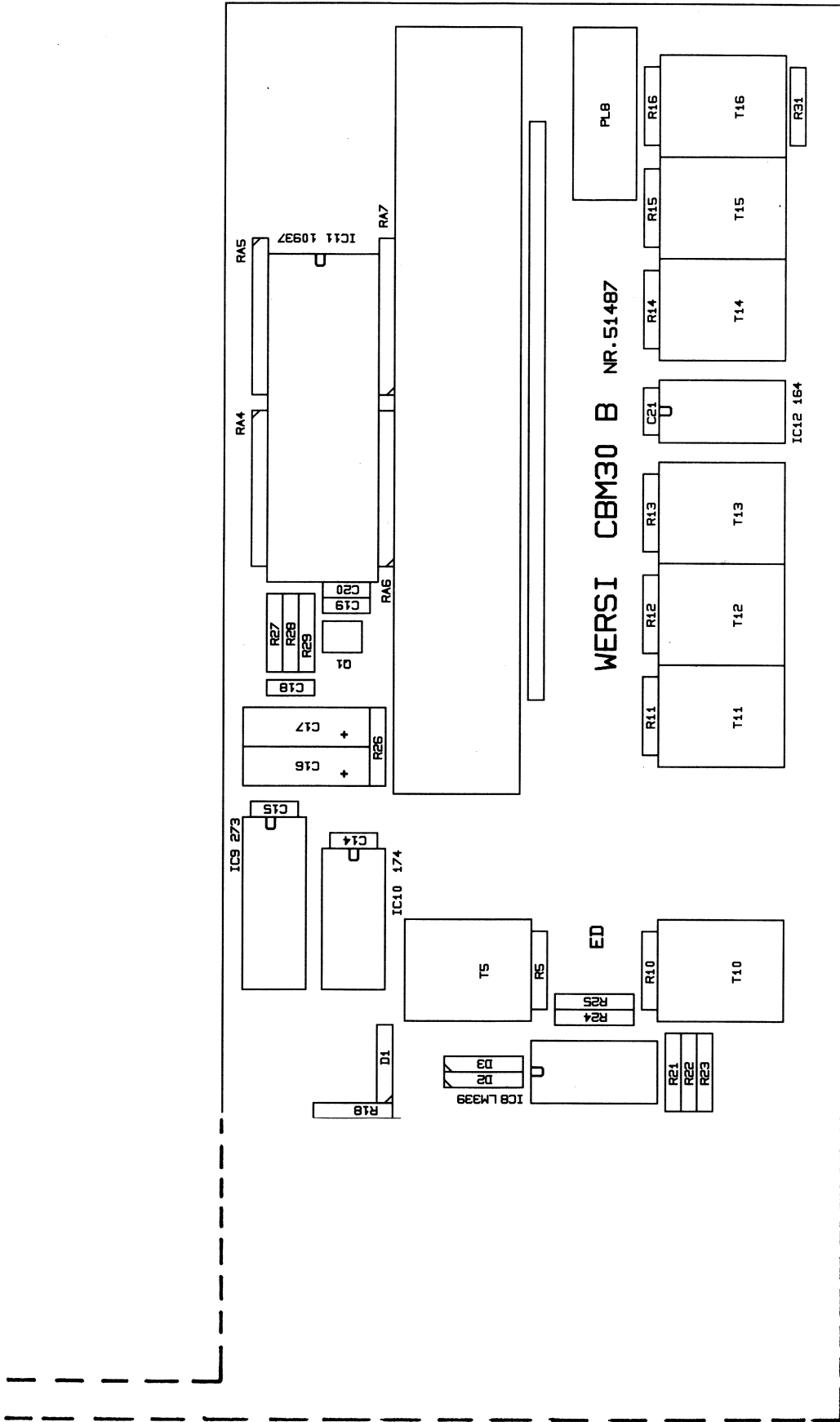


Abb. 10: Positionsdruck CBM 30, leserichtig



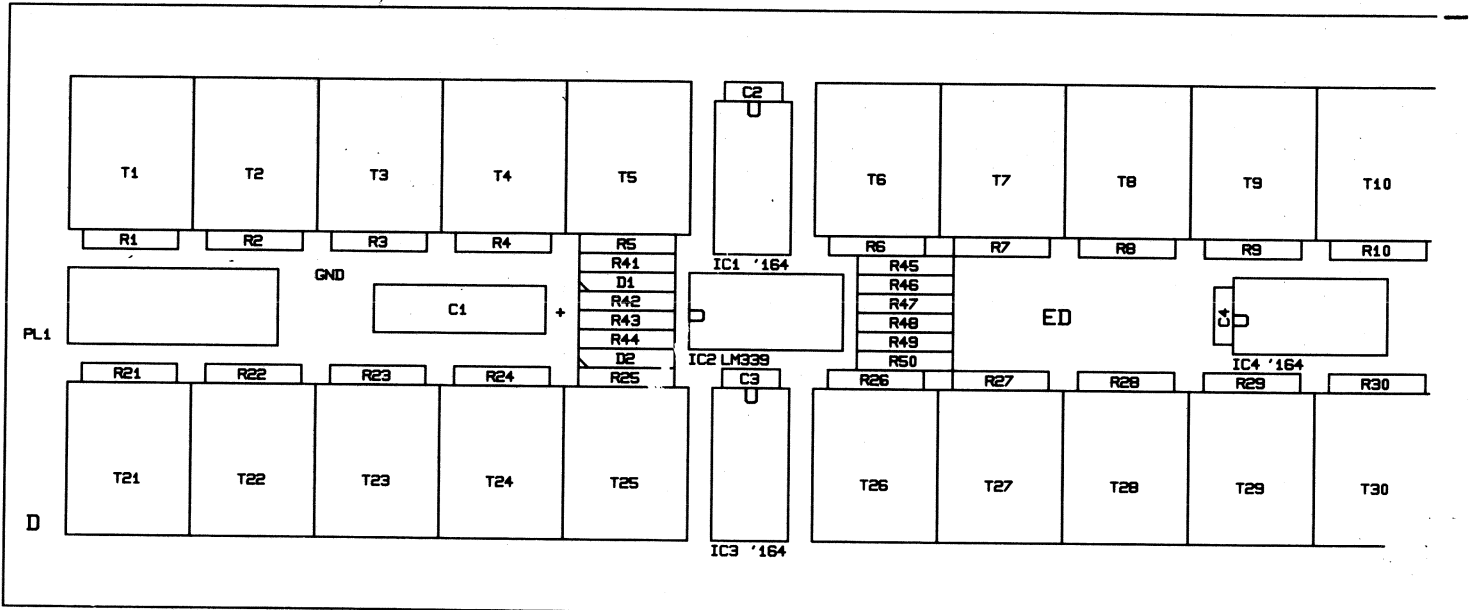


Abb. 11: Positionsdruck CBM 31, leserichtig

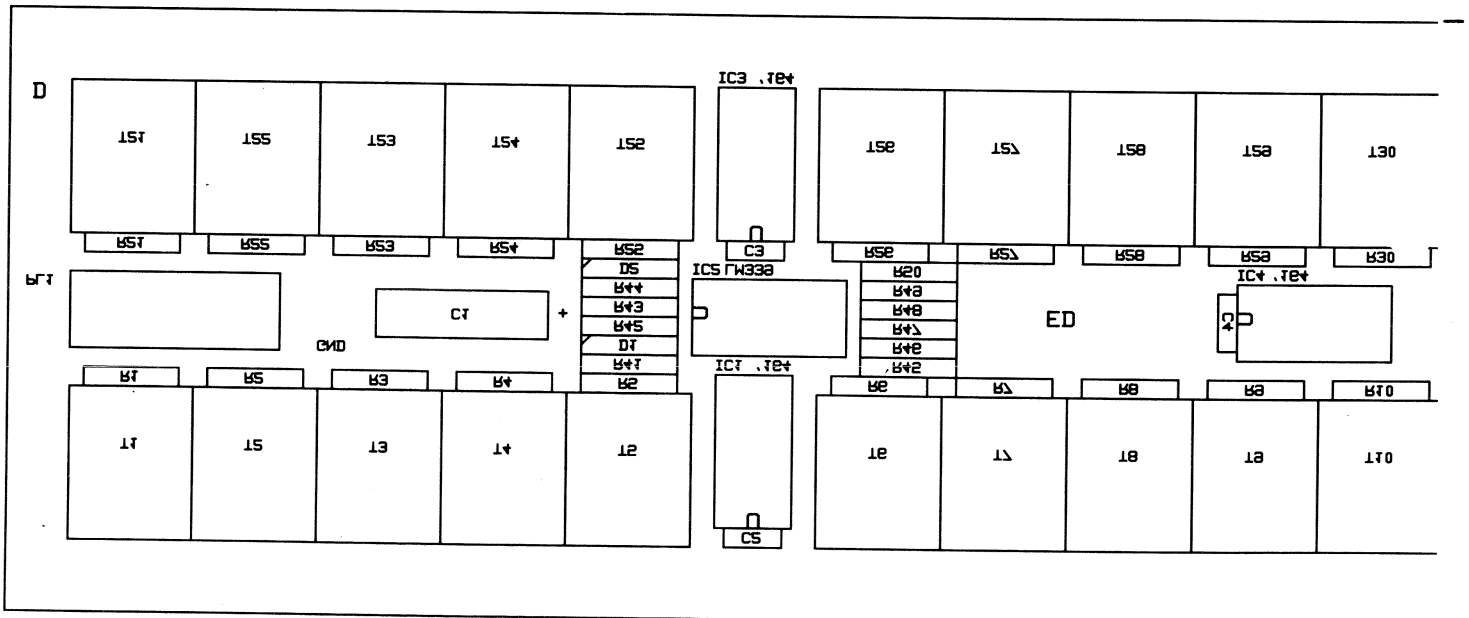
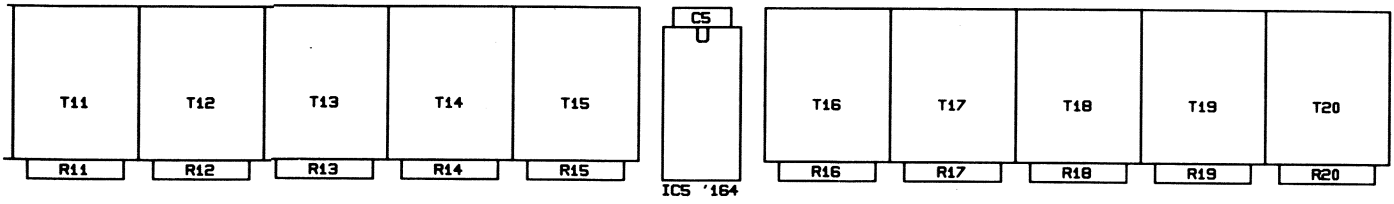
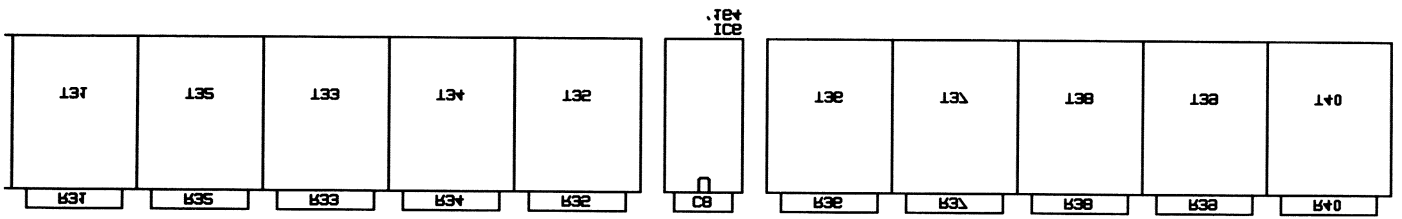
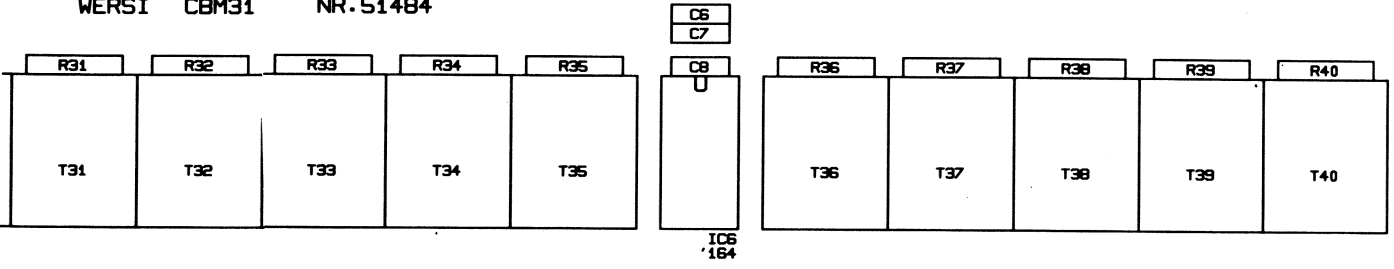


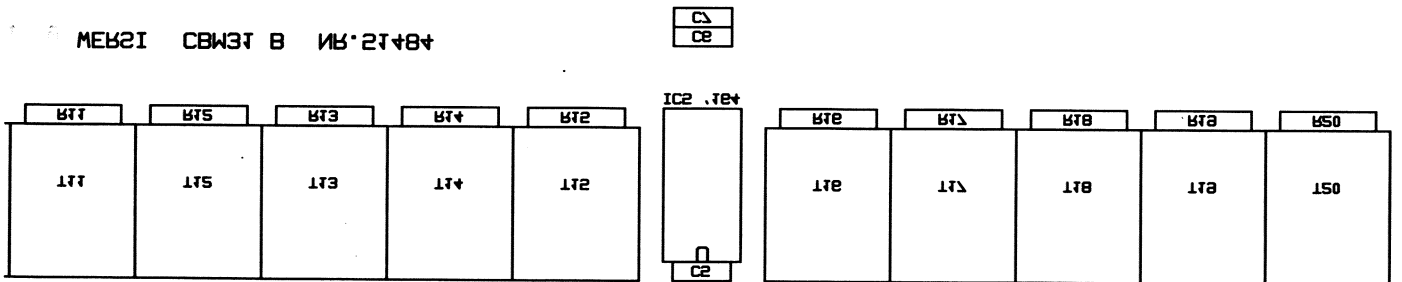
Abb. 12: Positionsdruck CBM 31, mit "Röntgenaugen"



WERSI CBM31 NR. 51484



MEB2I CBW3T B NR. 21484



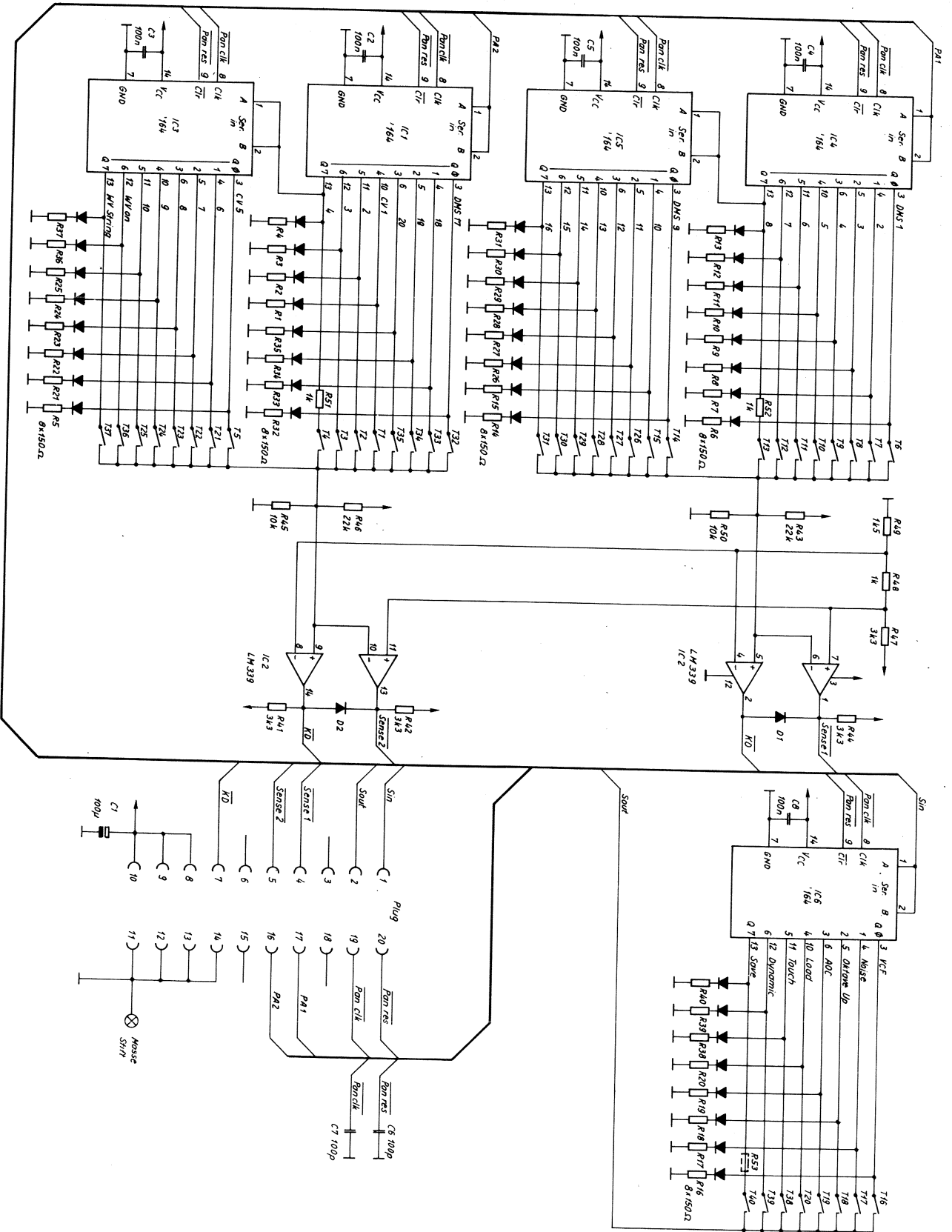


Abb. 13: Schaltbild der Platine CBM 31

1 / 1002

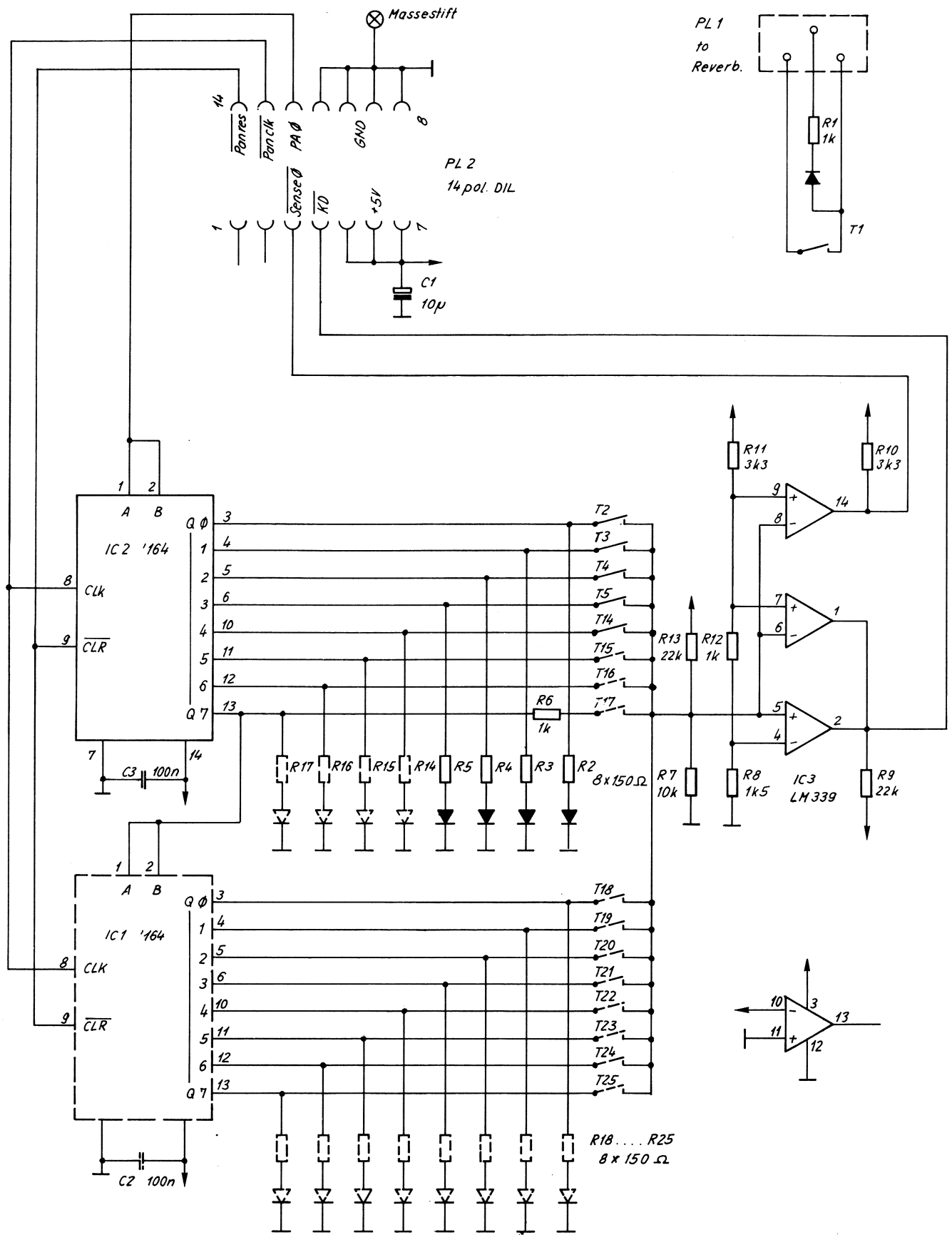


Abb. 13 a: Schaltbild der Platine CBM 36

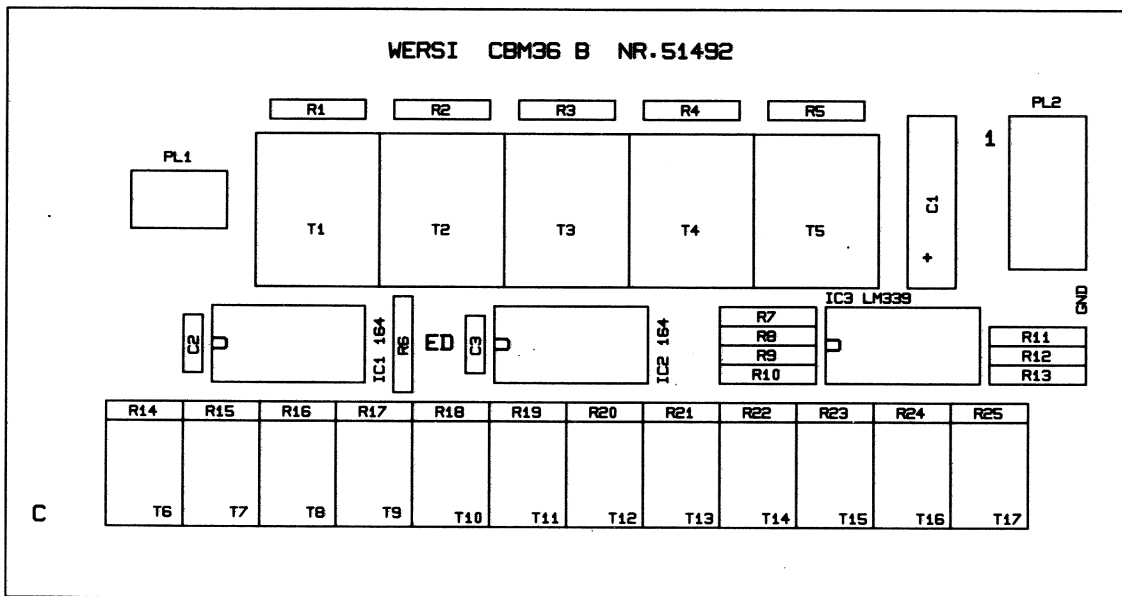


Abb. 13 b: Positionsdruck CBM 36

V. Erläuterungen zur Platine CBM 32 (OMEGA) bzw. CB 320 (EX 10)

Auf der Anschlußplatine CBM 32 sind mehrere voneinander unabhängige Teilschaltungen zur Anpassung von externen Komponenten an die Orgel vorhanden.

a) Kopfhörerverstärker: NF-Signale über PL 10, L 4, L 5, IC 1 (TL 082) mit den als Gegentaktstufe geschalteten Transistoren Q 1/Q 2 und Q 3/Q 4 über die Schutzwiderstände R 2 und R 6 (100 Ohm, 2 W) auf die Stereo-Klinkenbuchse PL 1.

b) NF-Ausgänge, Stereo-Klinkenbuchsen PL 8 (L) und Mono-Klinkenbuchse PL 9 (Mono/R).

1. Zwei getrennte Kabel (Stecker) in Mono/R und Stereo/L: die Kanäle R und L liegen getrennt vor.

2. Nur ein Stereo-Kabel in Buchse Stereo/L: beide Kanäle werden getrennt über eine Stereo-Leitung weitergegeben.
3. Nur ein Monokabel in Buchse Mono/R: beide Kanäle sind zusammengefaßt und werden als Mono-Signal weitergegeben.

Ferner ist ein Schalter (S 1) zur Umschaltung des Ausgangspegels an den NF-Buchsen (high - low) vorhanden: Spannungsteiler R 35 bis R 38.

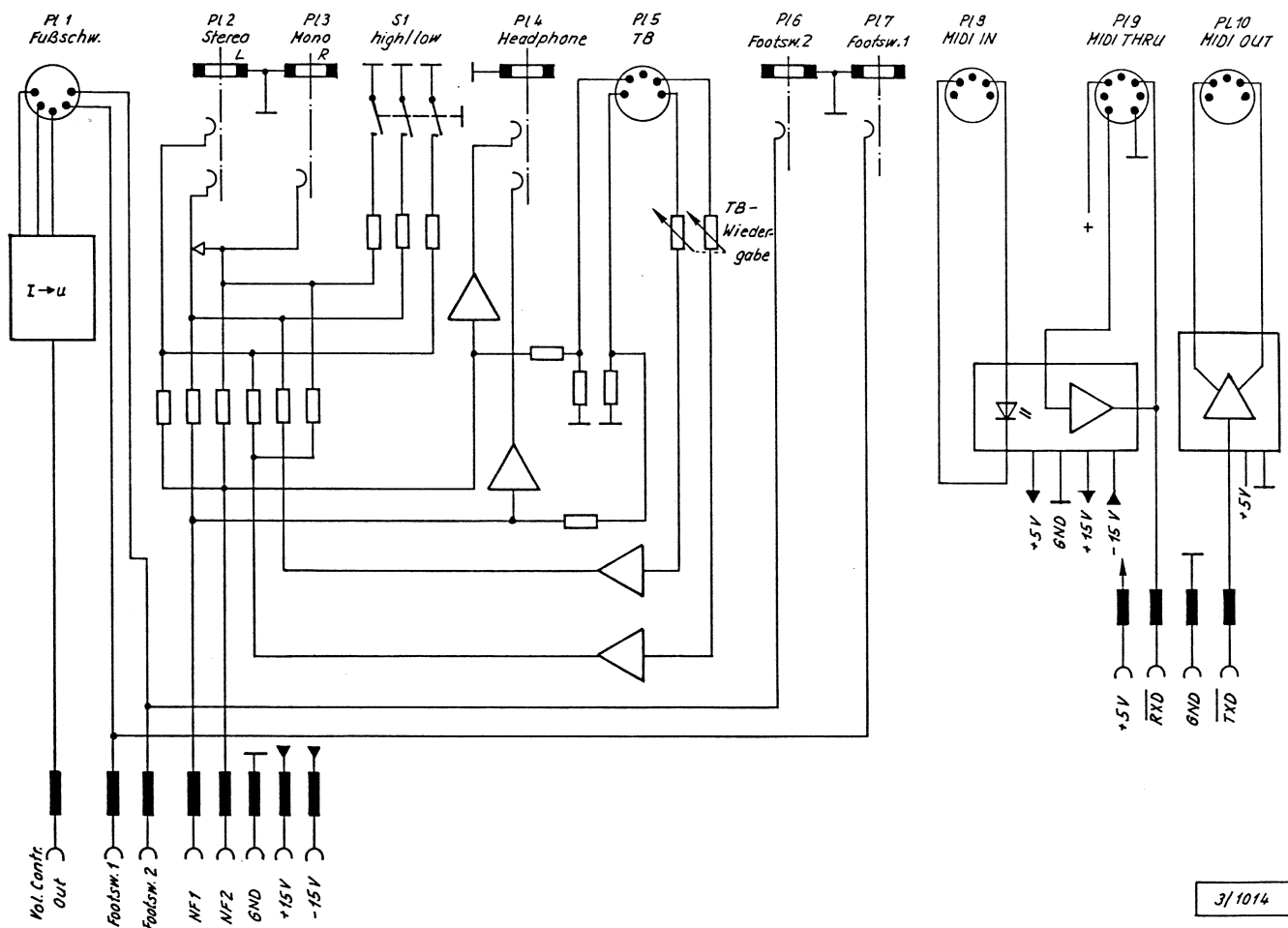


Abb. 14 a: Blockschaltbild der Platine CBM 32

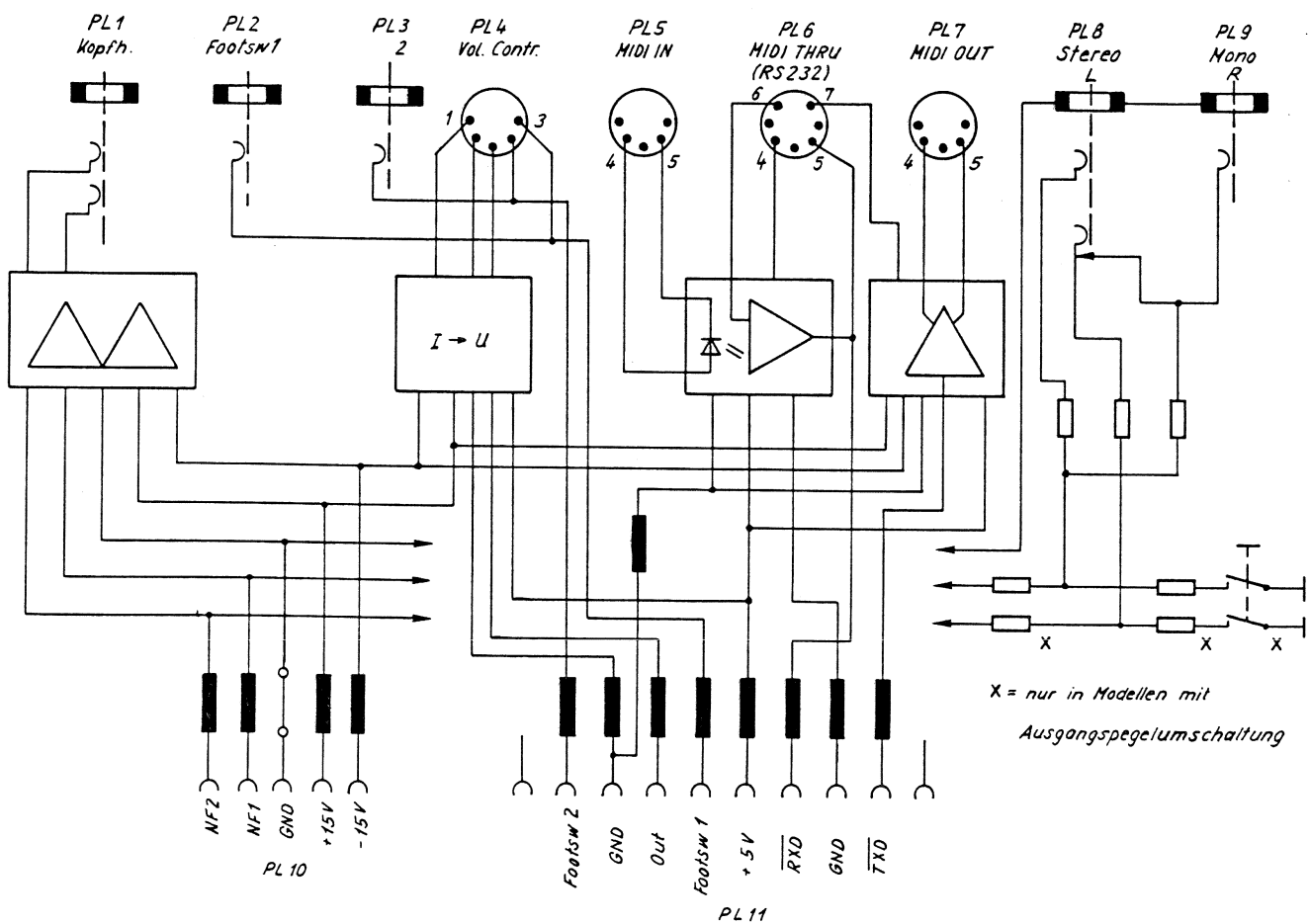


Abb. 14 b: Blockschaftbild der Platine CB 320

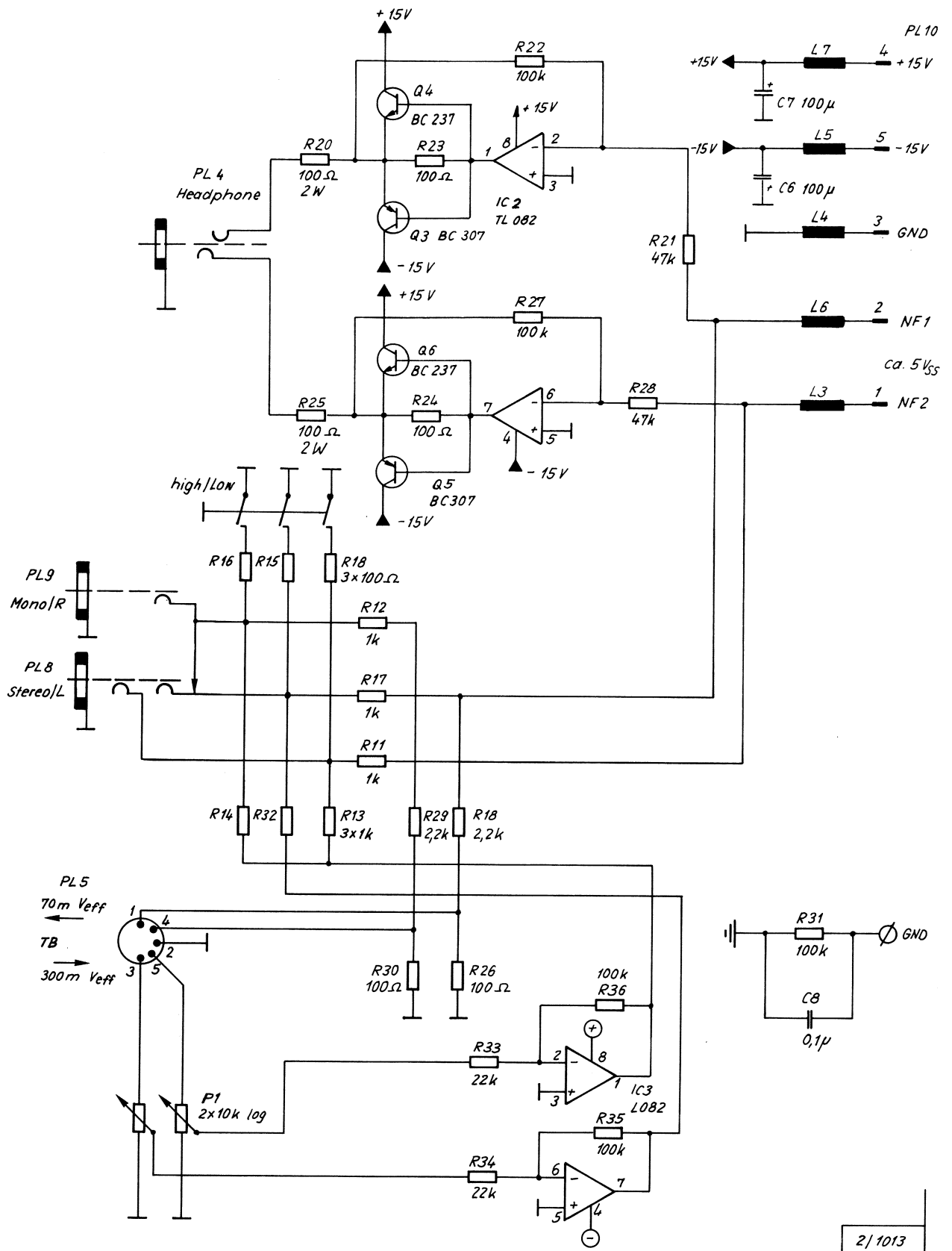


Abb. 15 a: Teilschaltbild CBM 32 – Kopfhörer ...

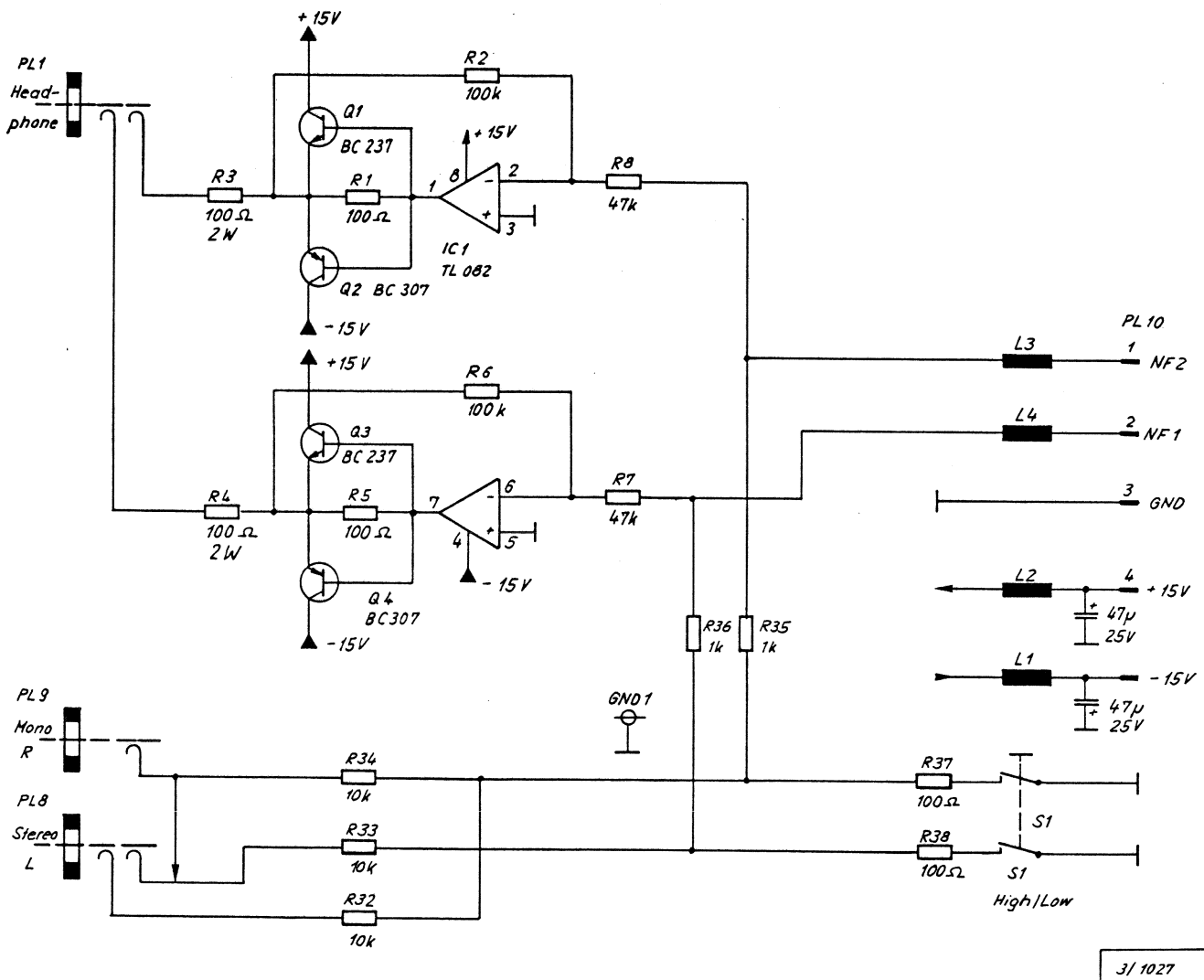


Abb. 15 b: Teilschaltbild CB 320 – Kopfhörer ...

c) Fußschweller und Fußschalter:

Die Fußschalter am Fußschweller und die getrennten Fußschalterbuchsen (PL 2 und PL 3) sind parallel geschaltet und schalten gegen GND über L 7 und L 8 auf PL 11, 2 (S 2) und PL 11, 5 (S 1).

Der Fußschweller (5-pol. DIN-Buchse, PL 4) arbeitet im Bereich GND/– 15 V. Mit IC 2 (TL 081)

und Q 6 wird die Steuerspannung in den Bereich 0 V/+ 5 V umgesetzt (0 V = leise), über L 6 auf PL 11, 4 (Out).

Mit Q 5, R 10 und R 11 wird festgestellt, ob ein Fußschweller angesteckt ist. Wenn kein Fußschweller angeschlossen ist, geht die Steuerspannung auf ca. + 5 V (= laut).

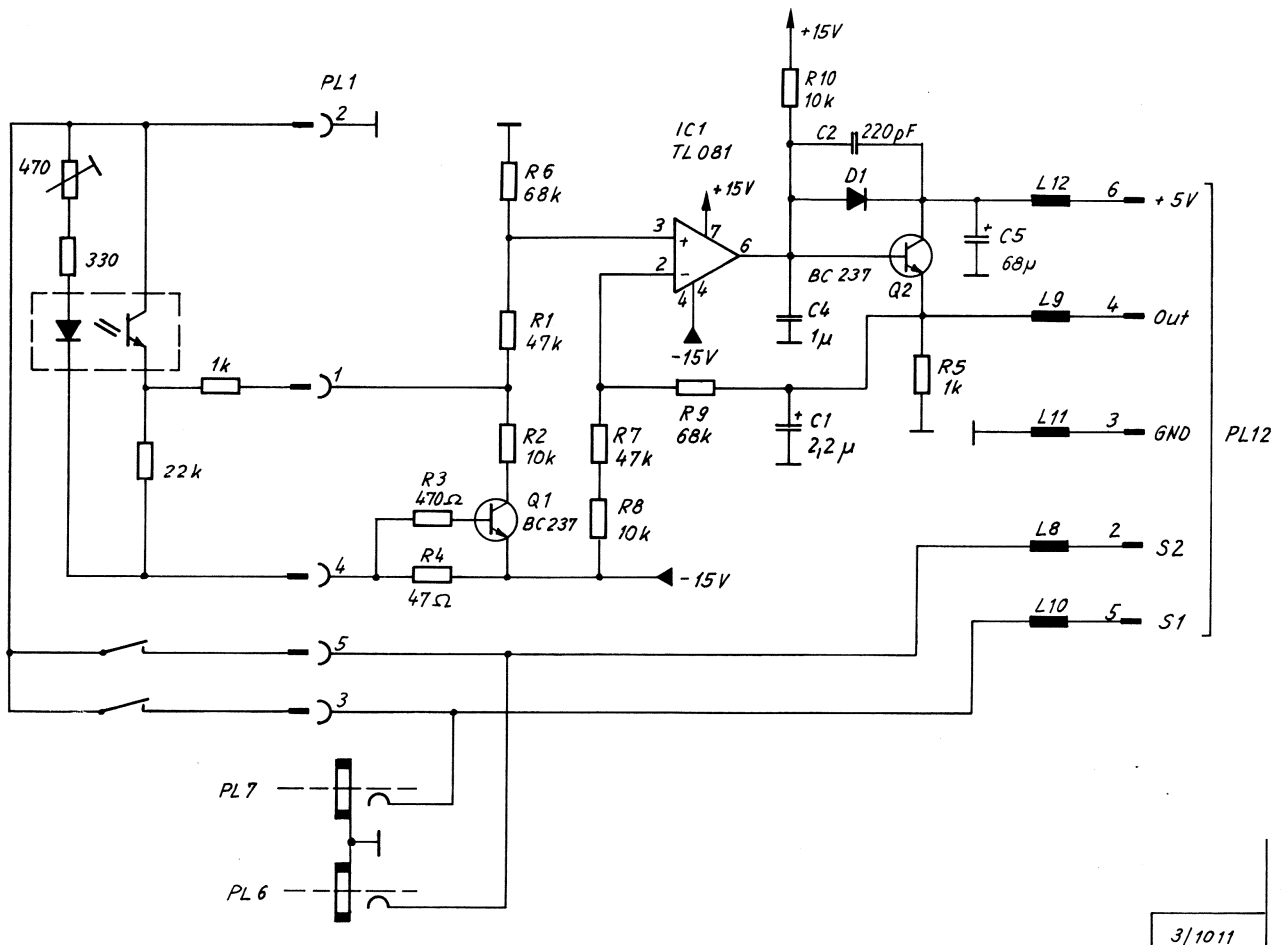


Abb. 16 a: Teilschaltbild CBM 32 – Fußschweller, Fußschalter

d) M.I.D.I.-Interface

MIDI IN (PL 5) über Schutzschaltung R 19, D 1 auf IC 3 (Optokoppler PC 910) über IC 4 (74 HCU 04) auf PL 6 (MIDI THRU) und L 13 auf PL 11, 7 (RDX).

MIDI OUT von PL 12, 9 (TDX), L 12, IC 4 auf R 26, R 24 auf PL 4 (MIDI OUT).

Zusätzlich liegt auf PL 6 (MIDI THRU) Stift 7 TXD gesendet bzw. über Stift 6 kann RXD empfangen werden (Spannungen entsprechen RS 232).

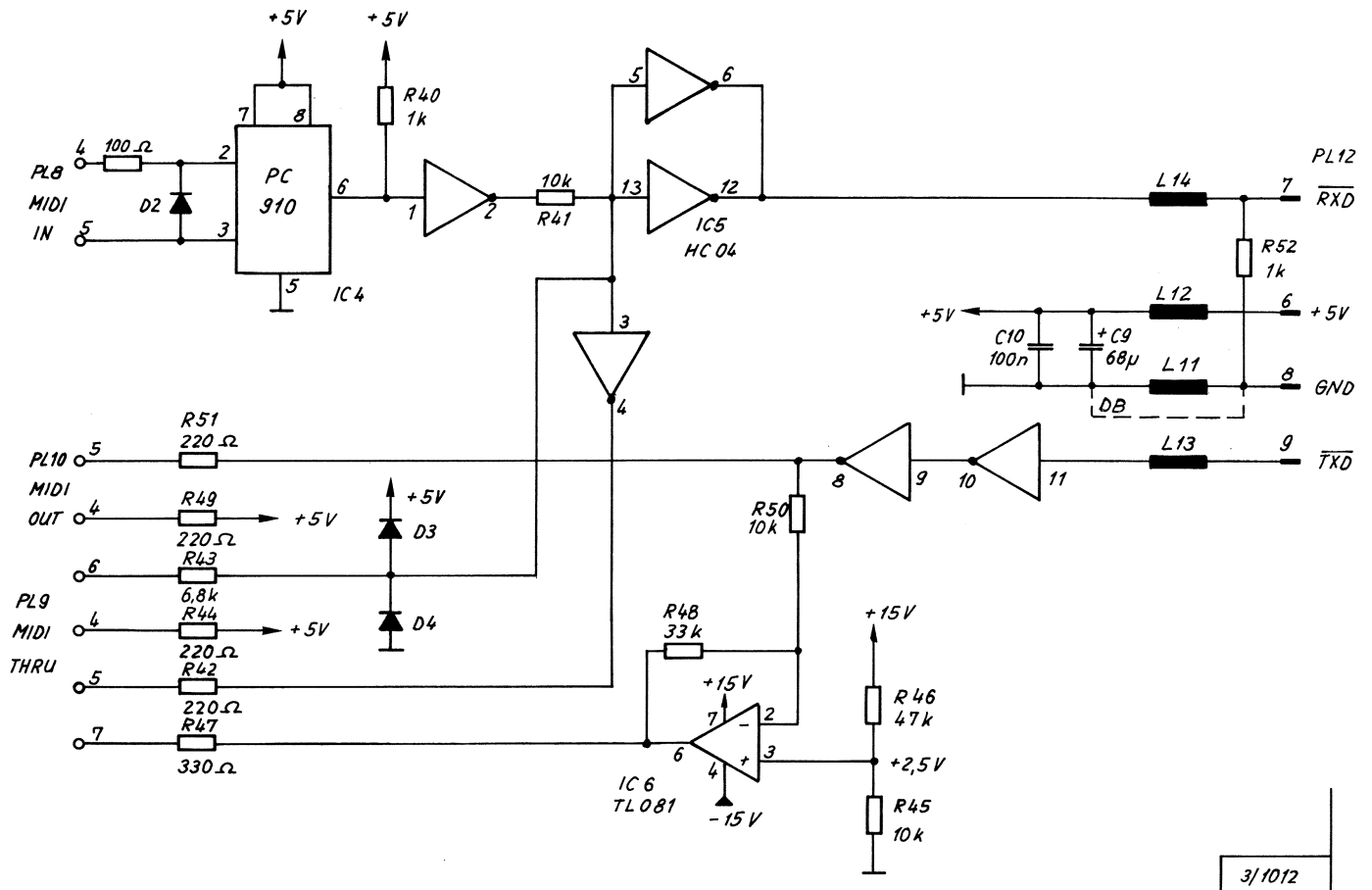


Abb. 17 a: Teilschaltbild CBM 32 – MIDI

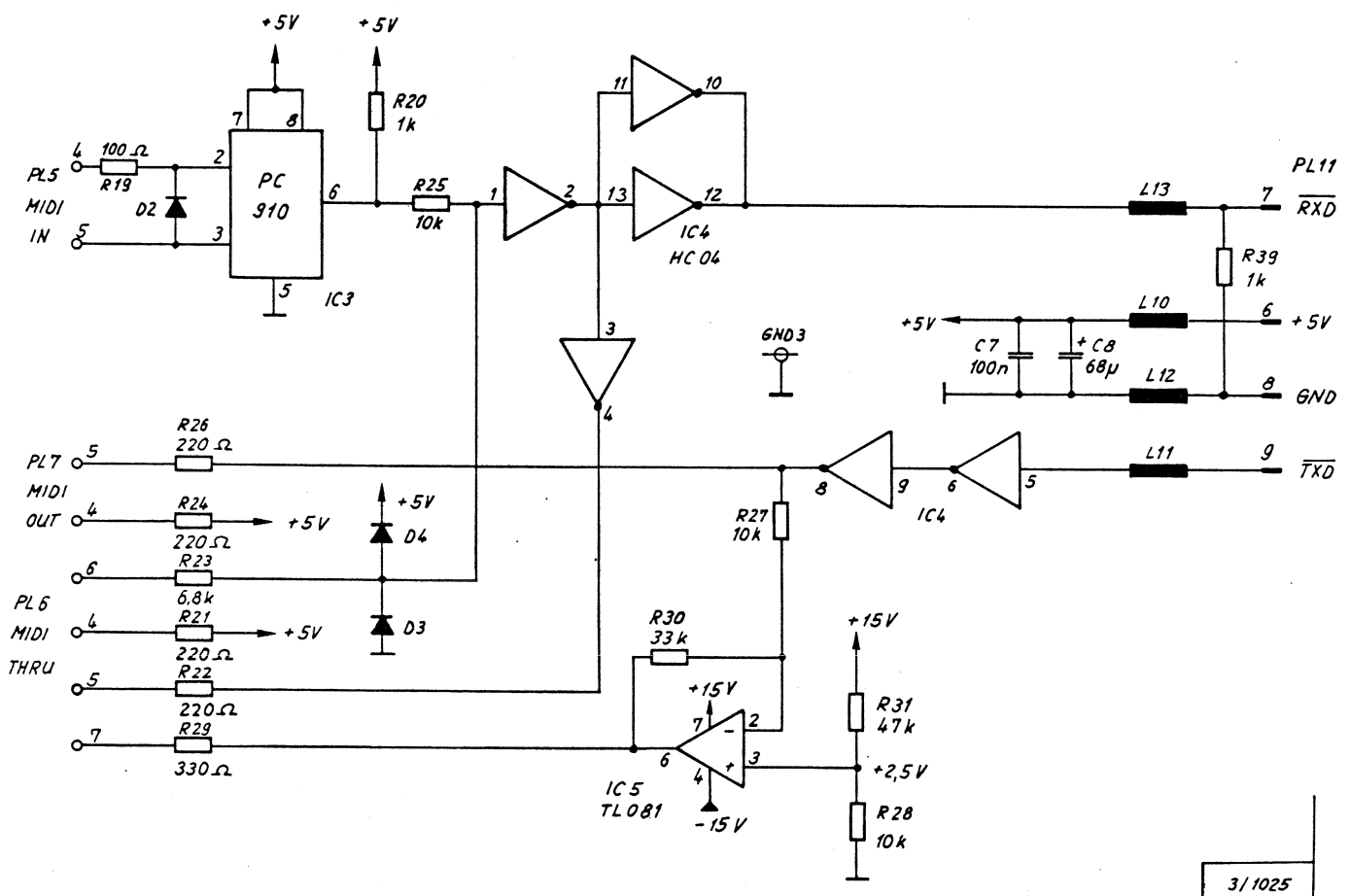
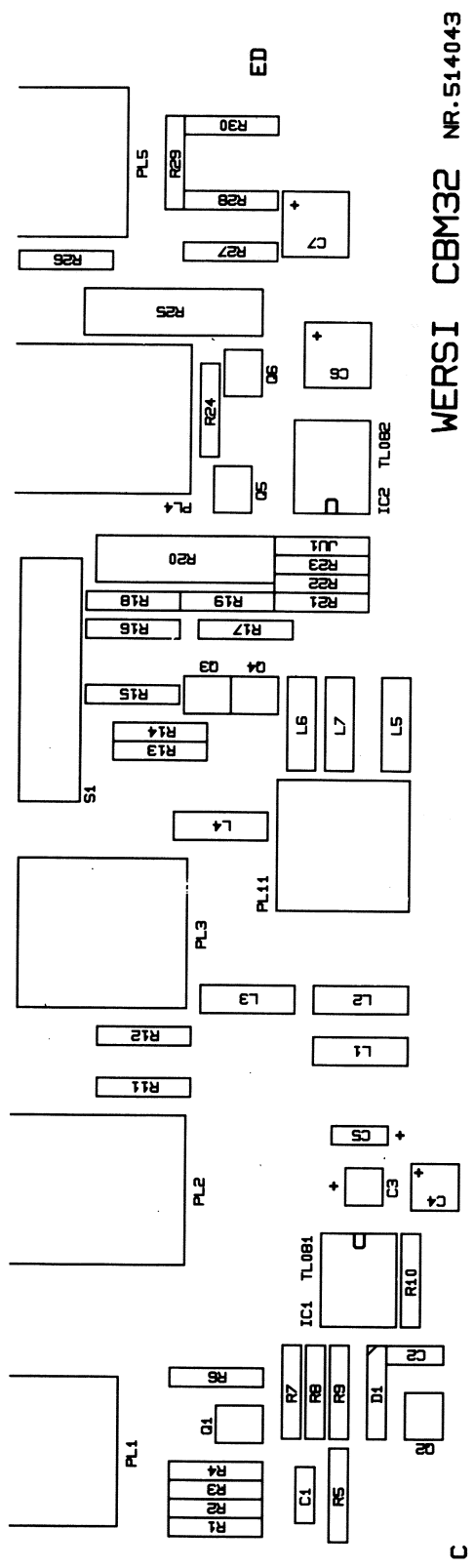


Abb. 17 b: Teilschaltbild CB 320 – MIDI



WERSI CBM32 NR.514043

C

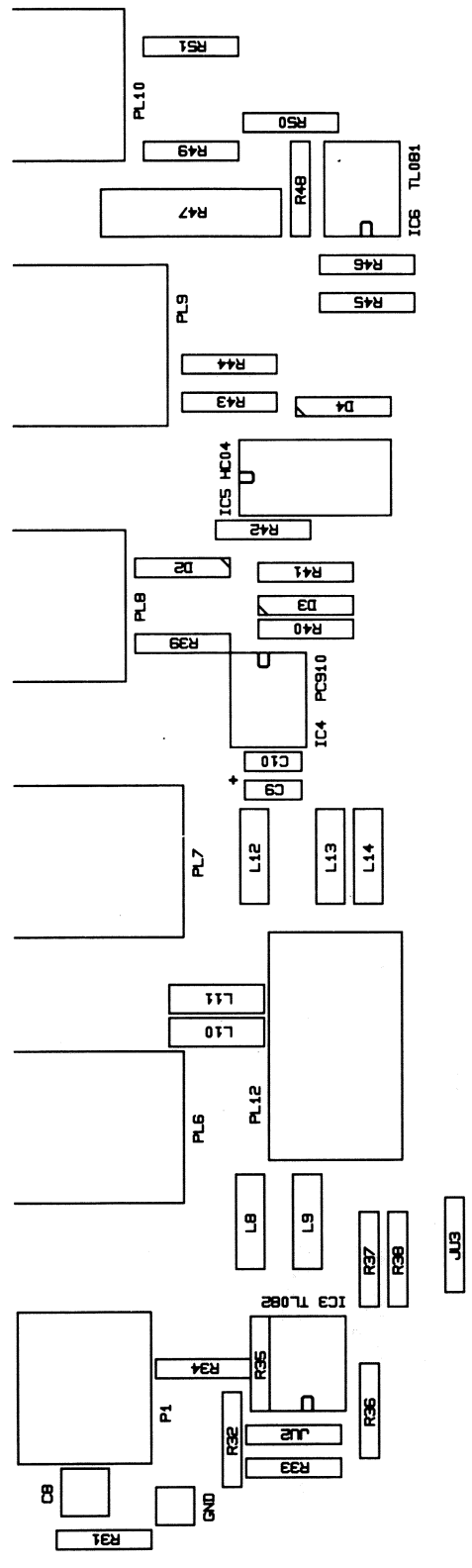


Abb. 18 a: Positionsdruck CBM 32

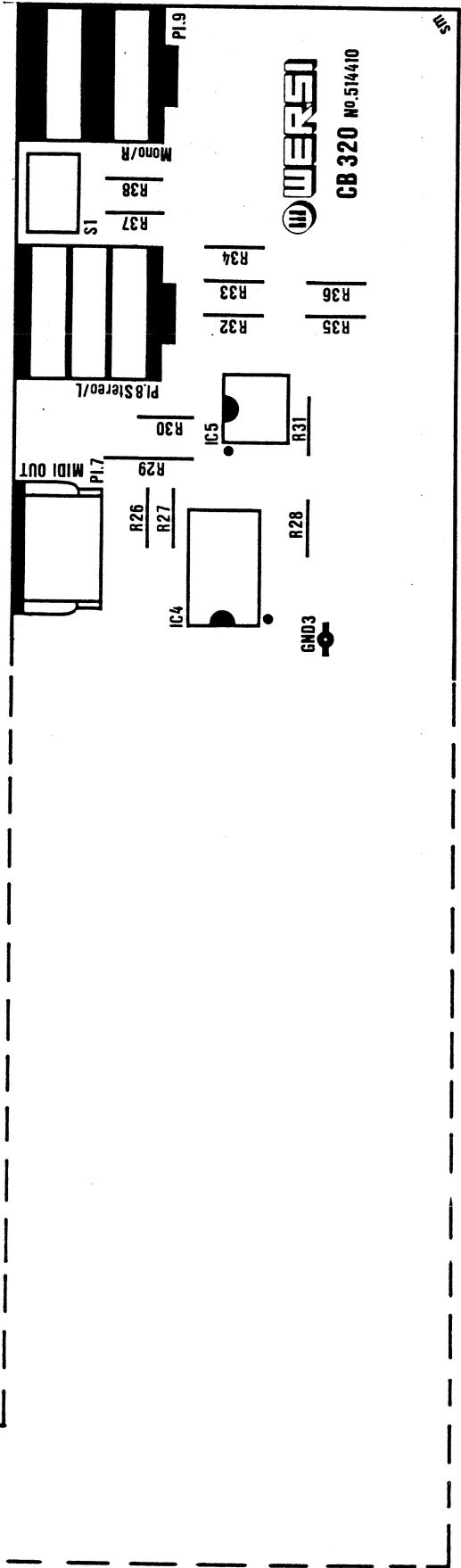
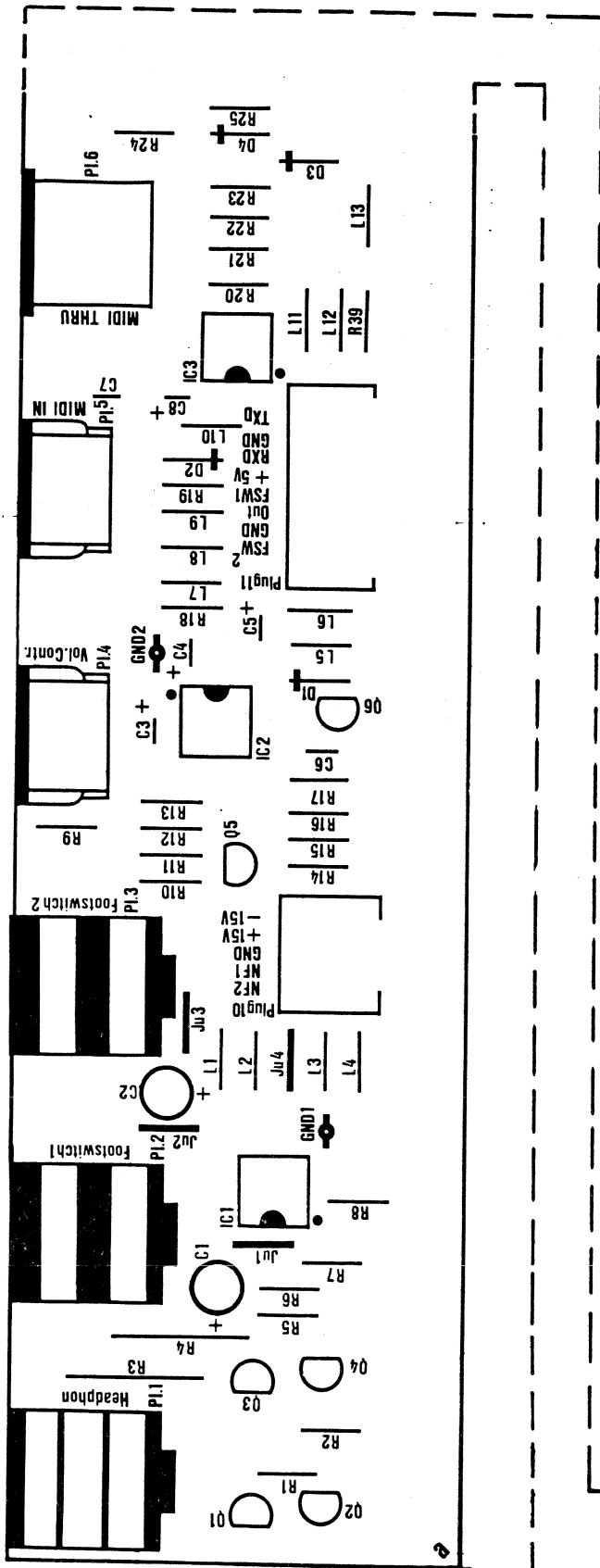


Abb. 18 b: Positionsdruck CB 320

**VI. Erläuterungen zur Platine CBM 25
(nur in OMEGA)**

Auf der Platine CBM 25 werden im wesentlichen die Signale der beiden Touch-Sensoren (CB 29) aufbereitet und die beiden Wheels angeschlossen.

Die Touch-Sensoren geben druckabhängig (auf dem Manual) elektrische Ladungen ab. Diese Ladungen ergeben in Abhängigkeit der Kapazitäten in diesem Kreis (Eigenkapazität C 1, C 2 und C 3) eine Spannung, deren Quelle sehr hochohmig ist. IC 1 (TL 271) ist als Impedanzwandler geschaltet und hat rechnerisch einen Eingangswiderstand von ca. 15 GOhm !

Bei den geschirmten Leitungen von den Sensoren ist deshalb der Schirm nicht mit GND sondern mit dem Ausgang des Verstärkers (Verstärkung = 1, d. h. Eingangsspannung = Ausgangsspannung) verbunden, um Verlust im Kabel auszuschalten.

R 1 (150 MOhm) und Q 1 sorgen dafür, daß der Eingang mit großer Zeitkonstante auf 0 V gezogen wird.

Die Ausgangsspannung an "Out" bewegt sich zwischen 0 V (kein Druck auf das Manual) bis ca. + 4 V.

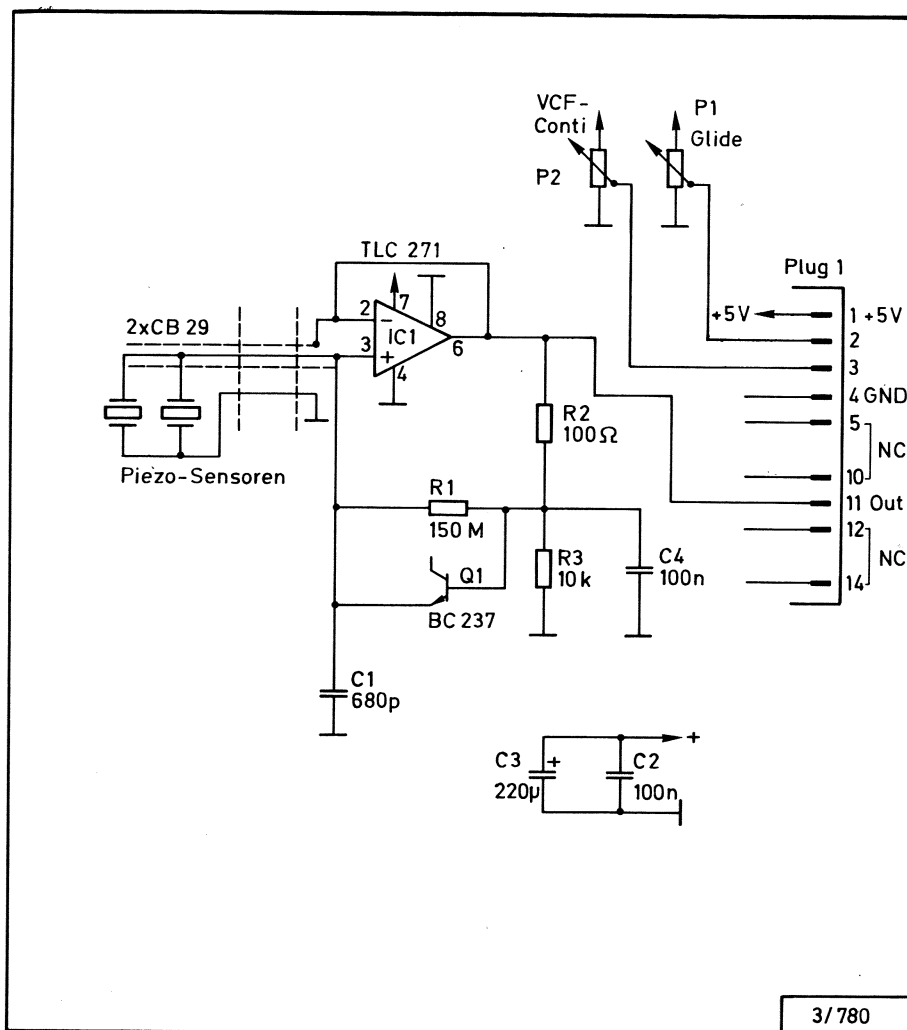


Abb. 19: Schaltbild der Platine CBM 25

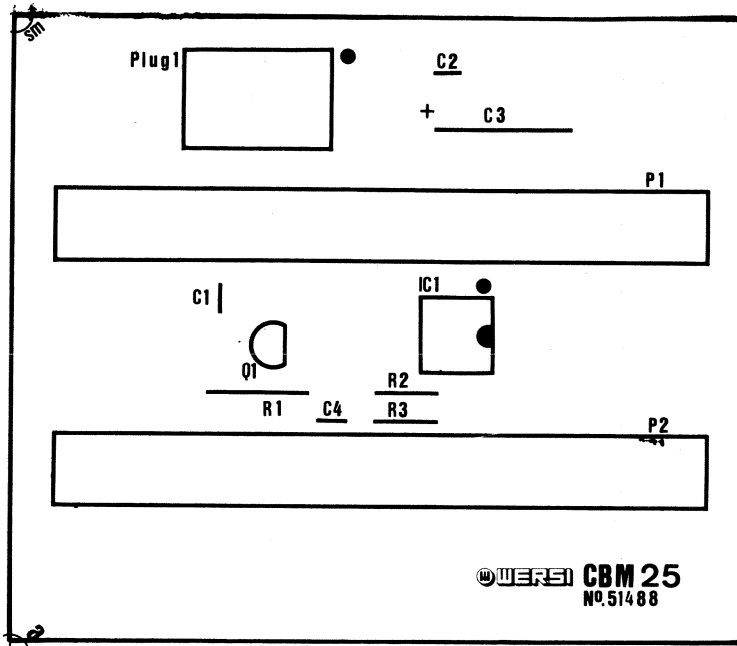


Abb. 20: Positionsdruck CBM 25

VII. Erläuterungen zur Platine MM 1

1. Main Prozessor

Dieser Abschnitt zeigt die Grundelemente des Haupt-Prozessorsystems: die CPU mit ihrem Datenbustreiber (IC 16) und Adressbusbuffer (IC 19, nur für die Adressen 0 ... 7, A 8 ... A 15 sind nicht gebuffert), das 32 kByte große Programm ROM (IC 3), das Work-RAM (IC 4), sowie die drei Speicher für die Voice-Daten, nämlich IC 5, das Voice-ROM, in dem die 20 DMS-Voices fest abgespeichert sind (16 kByte) und IC 1 und IC 2, in denen je 10 CVs und 8 Presets sowie 24 Rhythmen und 8 Sequenzen enthalten sind (2 x 8 kByte-RAM). Zusammen mit der Cartridge haben wir 3 Speicherblöcke von je 16 kByte, die gesteuert von dem Voice-Bank-Latch (IC 11) und den Gattern aus IC 9 und IC 13 einen festen Adressbereich der CPU gebankt belegen.

Um den Zeitablauf kümmert sich der Timerbaustein 68B40 (IC 6). Dieser enthält 3 getrennte Timer-elemente, wobei Timer 1 an dem IRQ - Pin 1 ms Interrupts für die Master CPU erzeugt, Timer 2 stellt den Baudrate-Clock für die serielle Schnittstelle (IC 7) bereit (bei MIDI : 500 kHz), Timer 3 versorgt den Coprozessor mit einem 5 ms Takt in ungleichem Tastverhältnis, der von Q 1 invertiert wird. Um takt synchron lesen und schreiben zu können, wird das R/W-Signal mit den 2 MHz Clock E verknüpft, wobei die Signale RD und WR entstehen. Da die System-Clocks auch in negativer Logik benötigt werden, werden E und Q in zwei Invertern (IC 40) erzeugt. Ferner sind die Steckerbelegung für die Bedienfelder (Plug 1), die Analog-Karte (Plug 4) und die Stromversorgung (Plug 3) gezeigt. Plug 5 wird nur in der Orgelversion DX 10 belegt.

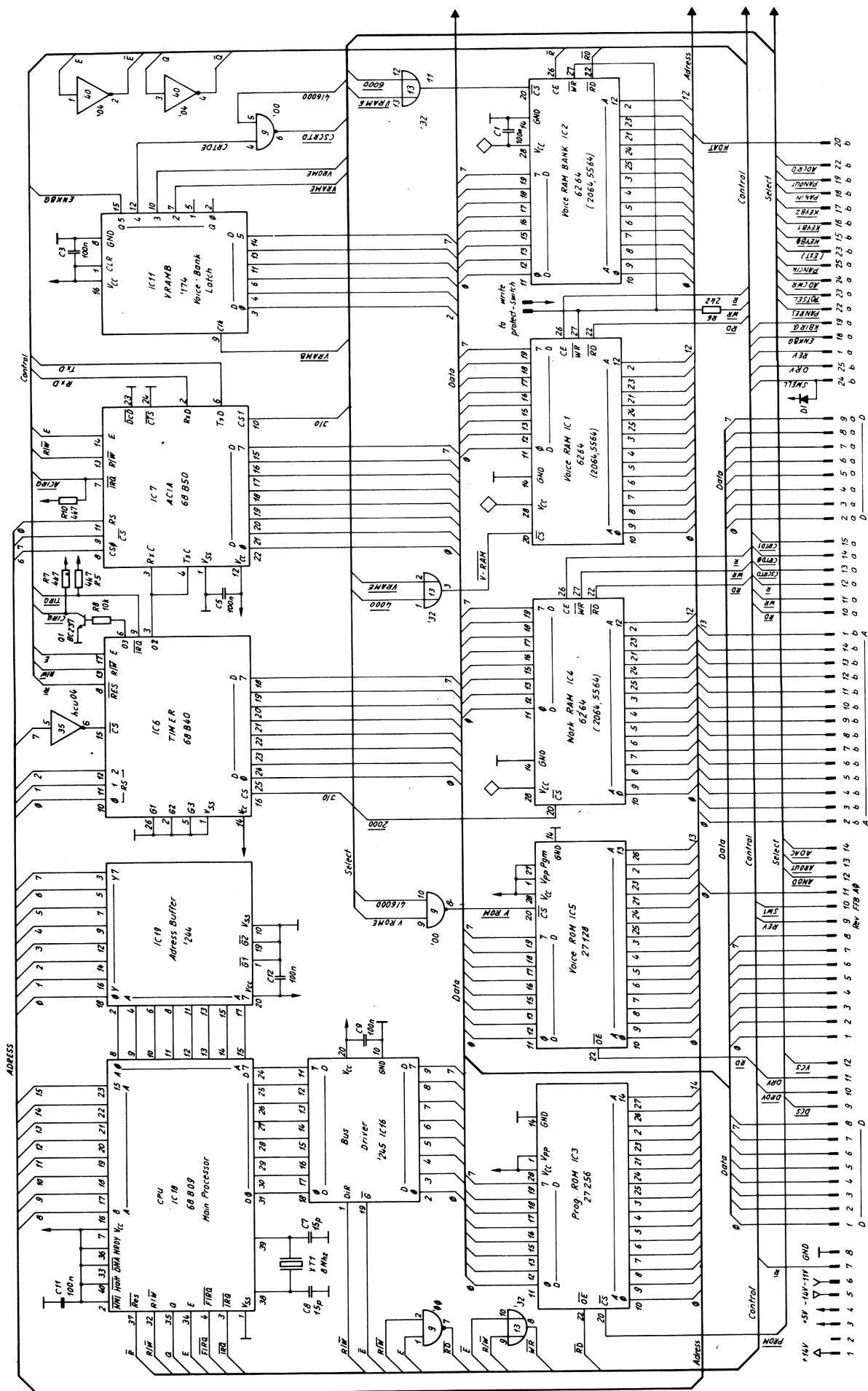


Abb. 21: Teilschaltbild MM 1 - Main Prozessor

Erläuterungen zur Platine MM 1

2. Decoding Section

Hier wird der Adressbereich der Haupt-CPU in die Selects der einzelnen Bausteine aufgeteilt. Näheres siehe Adressbereichstabelle (memory-map).

Der Bereich links oben zeigt die Interrupt-Steuerung. Zur schnelleren Erkennung aller ankommenden Interrupt-Signale sind diese mit einem Port-Baustein verbunden, so daß die CPU durch Lesen dieses Ports sogleich die Quelle eines Interrupts ermitteln kann. Diese Quellen können sein:

- Slave - IRQ
- Timer – IRQ
- Keyboard - Fast – IRQ (FIQ)
- ACIA – FIQ

Ebenso sind an diesem Port die Cartridge-Codierung (CRTD 0 , CRTD 1) zur Erkennung, ob ROM-, RAM- oder keine -Cartridge sowie die beiden Fuß-taster (SW 0 , SW 1) angeschlossen. (DRDY wird nicht beachtet.)

Dafür, daß alle Speicher nach Abschalten des Gerätes ihren Inhalt behalten, sorgt ein Akku, der bei laufendem Gerät ständig nachgeladen wird. Dieser versorgt in voll aufgeladenem Zustand alle RAMs bis zu mehreren Monaten.

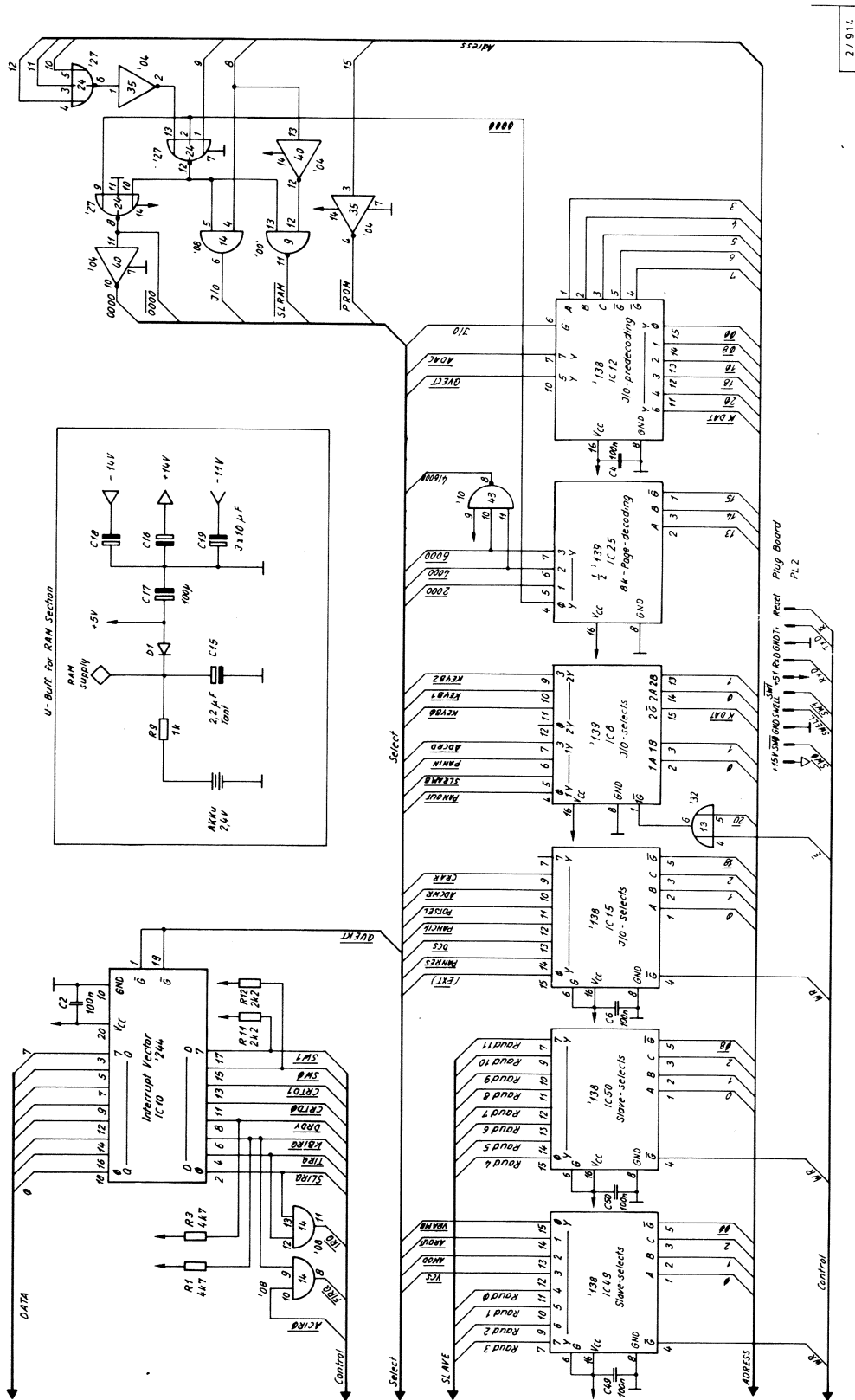


Abb. 22: Teilschaltbild der Platine MM 1 — Decoding Section

Erläuterungen zur Platine MM 1

3. Co-Prozessor

Der Co-Prozessor vom Typ 68B09 E (IC 42) wird gegenüber der Master-CPU 68B09 mit einem um einen halben Clockzyklus verschobenen Takt von 2 MHz versorgt (E, Q). Da die Prozessoren dieser Familie die Eigenschaft haben, nur während einer Hälfte der Clockperiode auf den Systembus zuzugreifen, können beide Prozessoren "gleichzeitig" das Kommunikations-RAM (IC 26) lesen oder schreiben. Dazu wird im CPU-Takt (E) abwechselnd der jeweilige Adress- und Datenbus auf das RAM geschaltet. Für den Adressbus und die Steuersignale \overline{CS} , \overline{WR} und \overline{RD} schalten dabei IC 20 bis IC 23 um, für den Datenbus erledigen das IC 36 und IC 38.

Der Co-Prozessor berechnet für maximal 20 Slave die Amplitude und gibt diese synchron mit der Frequenzhüllkurve der betreffenden Stimme aus.

Zur Hüllkurvenausgabe dient der D/A-Umformer DAC 1232 (IC 27), der hinter R 14 die analoge Hüllkurve mit 12 Bit Genauigkeit und für 20 Kanäle gemultiplext mit einer Spannung zwischen 0 und -10 V ausgibt. (P 1 dient zur Einstellung von exakt 0,000 V bei abgeschalteter Stimme). Daraufhin wird das Signal mit den Demultiplexern IC 44 und IC 45 (auch Extensionkarte IC 3) in Einzelsignale aufgetrennt und den Sample & Hold-Stufen IC 46, 47, 48 (MME : IC 1, 2) zugeführt, die nun die einzelnen Voice-Karten versorgen. IC 37 und IC 39 sind für die Adressierung eines S & H-Kanals zuständig. Die Hüllkurven-Clocksignale von 5 ms (ECLK 0 ... 19) werden für jeden Slave getrennt erzeugt (IC 41; MME : IC 5), um einen synchronen Ablauf von Frequenz- und Amplituden-Hüllkurve zu gewährleisten.

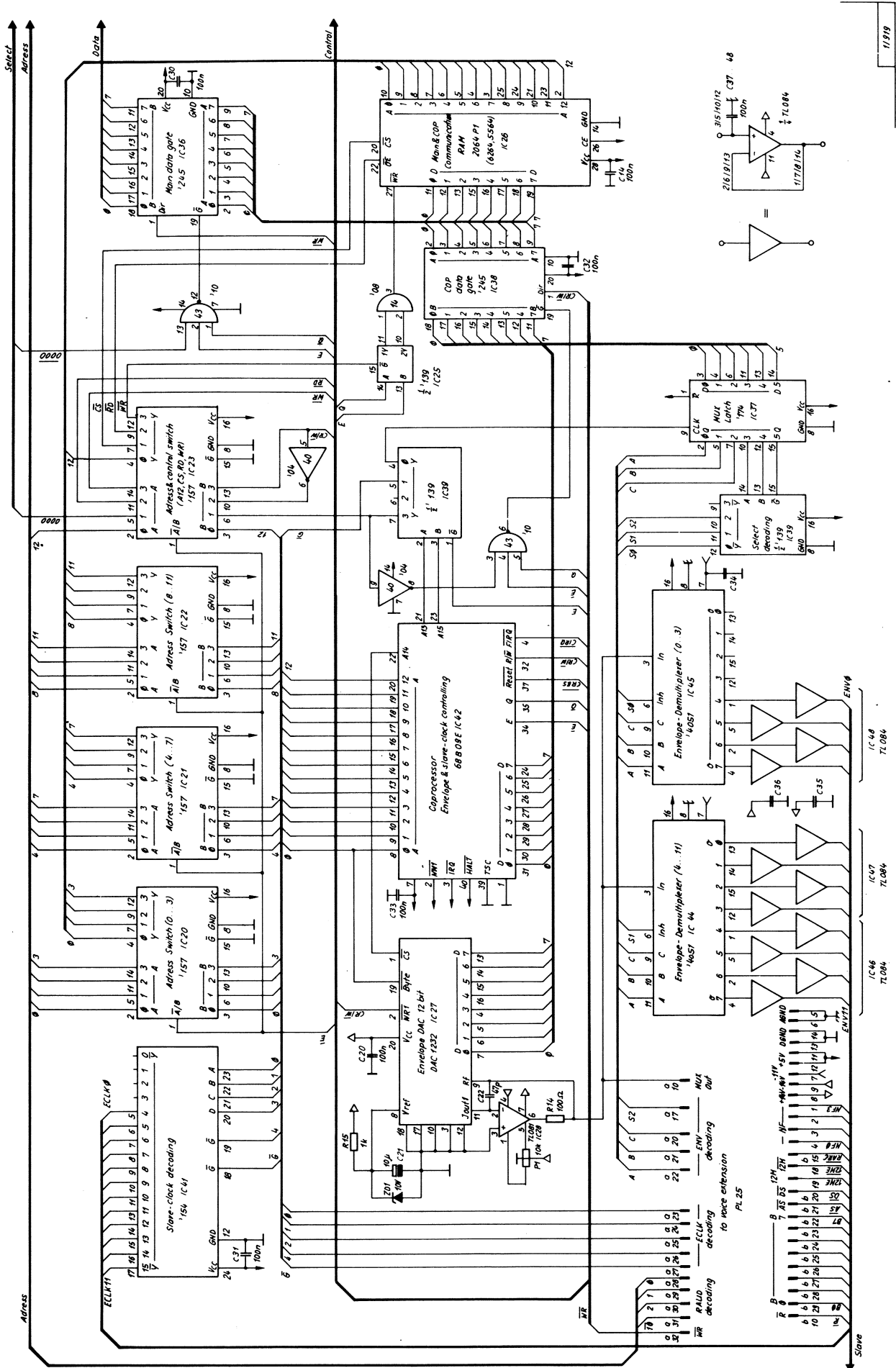


Abb. 23: Teilschaltbild der Platine MM 1 – Co Prozessor

4. SLAVE-Section

In diesem Teil ist die Verbindung zwischen dem Master-Prozessor-System und den Slave-Karten gezeigt. Der Master schreibt alle notwendigen Daten über Frequenzhüllkurve, Waveform, Routing, Ton-Frequenz und Pitch mit Hilfe der Buffer IC 32 und IC 30 in das Slave-RAM (IC 31). Da jedoch nur 256-Byte-Blöcke zur Verfügung stehen (die Slave-Prozessoren können nicht mehr adressieren !), ist das 8 kByte große RAM in 32 Segmente aufgeteilt. IC 17 ist für dieses Banking verantwortlich. Da jede Sound-Komponente ein Segment benötigt, können also 8 Gruppen zu je 4 Komponenten zur Verfügung gestellt werden (dafür auch 8 MIDI-Kanäle gleichzeitig!).

Hat die Master-CPU einmal einen Zugriff auf das Slave-RAM getätigt, so schaltet das Slave-RAM Control-Flip-Flop (IC 34) das Master-Bus-System auf dieses RAM (durch IC 33) und signalisiert gleichzeitig damit den Slave-Prozessoren, daß diese keinen Buszugriff auf das RAM machen dürfen (RARC = low). Hat der Master die Parameter-Übergabe auf das Slave-RAM abgeschlossen, so gibt er dieses wieder zum Zugriff frei, indem er das Flip-Flop mit CRAR resettet und der Control-

Buffer IC 33 auf hochohmig (three state) geht. Nun wird der entsprechende Slave mit der Adressierungsleitung RAUD (IC 49, 50, MME, IC 4) angesprochen und holt sich die Daten in dem RAM ab. Da er die Adressen und Daten über die gleichen Busleitungen (B 0 ... B 7) sendet, wird das Adressbyte jeweils in dem Adresslatch IC 29 zwischengespeichert. Auch während dieses Vorganges meldet er seinen Anspruch auf das Slave-RAM durch Low-schalten der RARC-Leitung an.

Nach Abschluß des Datentransfers erzeugt die Slave-Ready-Einheit (IC 34) einen Interrupt bei der Haupt-CPU (SLIRQ) und schreibt den Wert FF (hex) in das Adresslatch. Der Inhalt dieser Adresse ergibt zusammen mit den beiden Exponentenleitungen EXSLA 0 und EXSLA 1 den aktuellen Pitchwert, der Gültigkeit hat, wenn kein anderer Buszugriff stattfindet (RARC = high).

Die für den Slave-Takt erforderlichen gegenphasigen 12 MHz-Clocks werden von dem Inverter des IC 35 erzeugt und in IC 33 gebuffert.

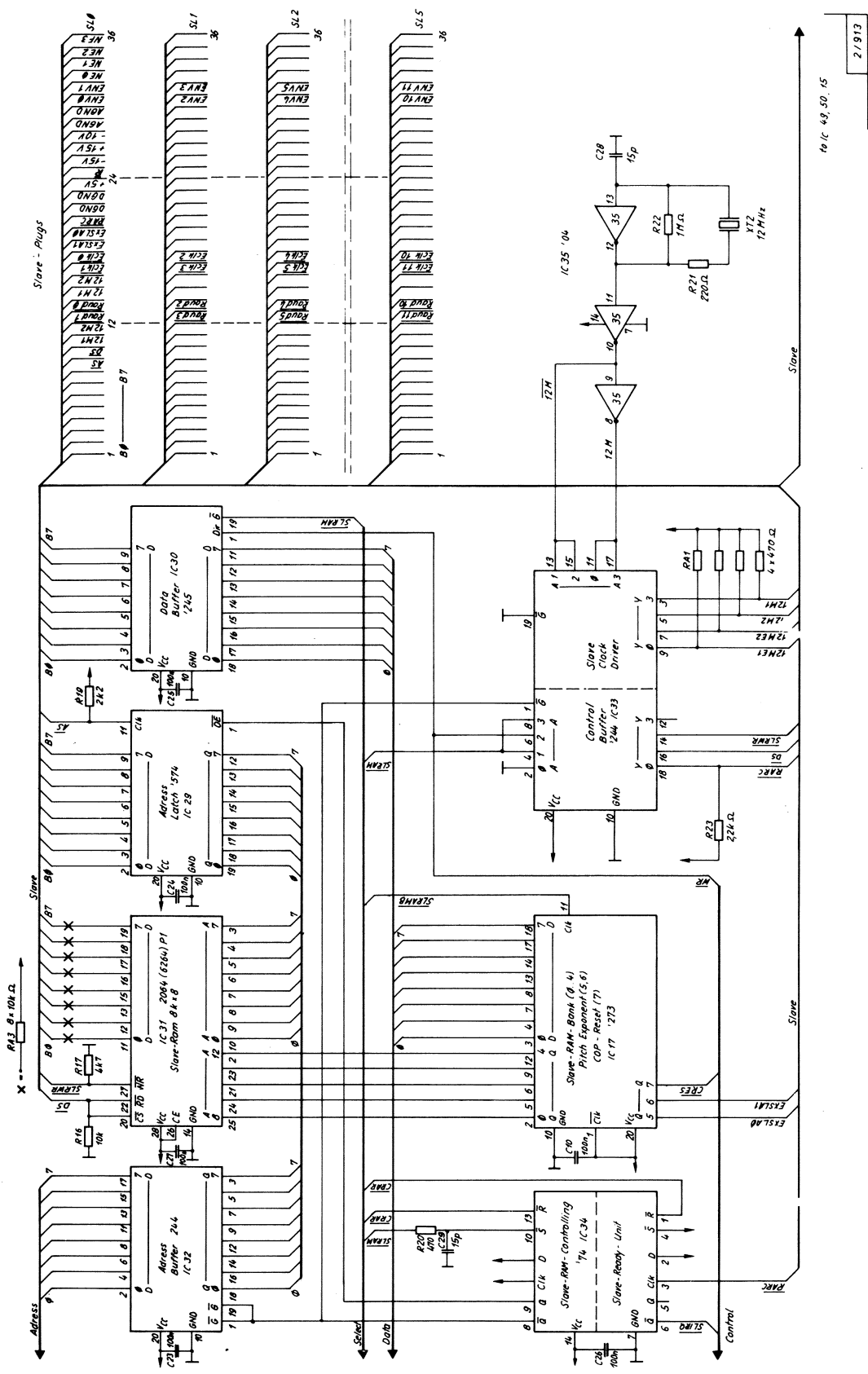


Abb. 24: Teilschaltbild der Platine MM 1 – SLAVE SECTION

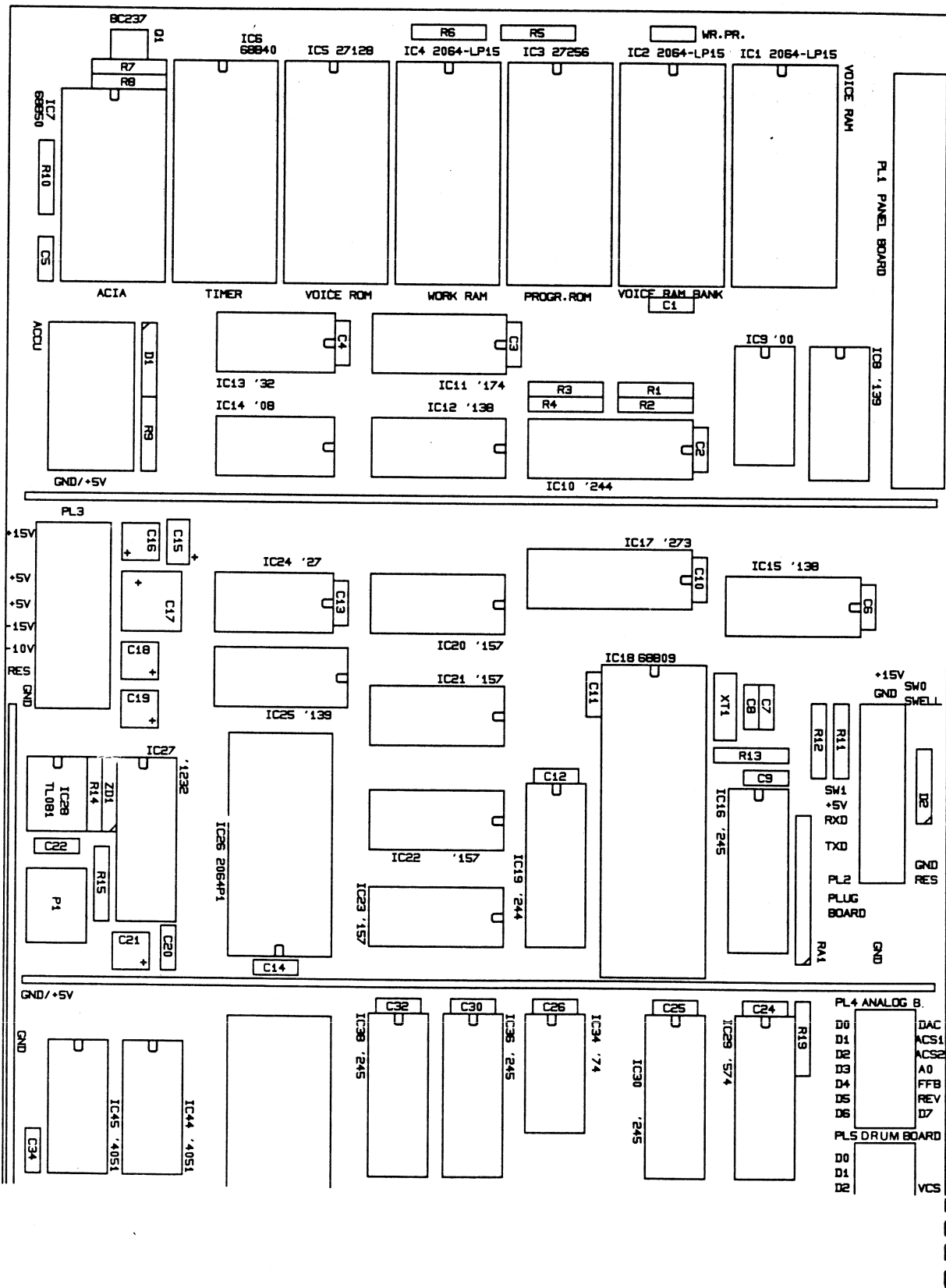
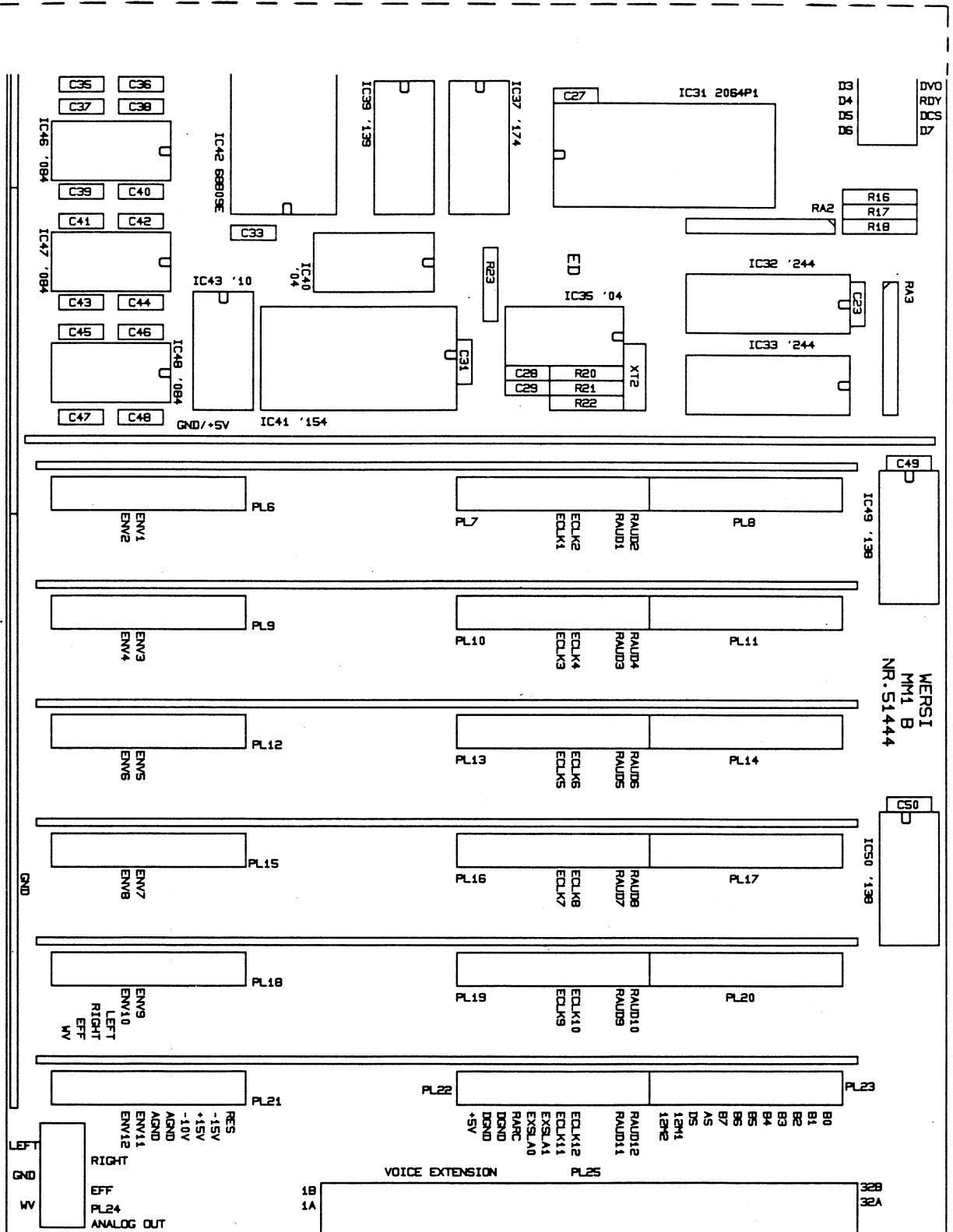


Abb. 25: Positionsdruck der Platine MM 1



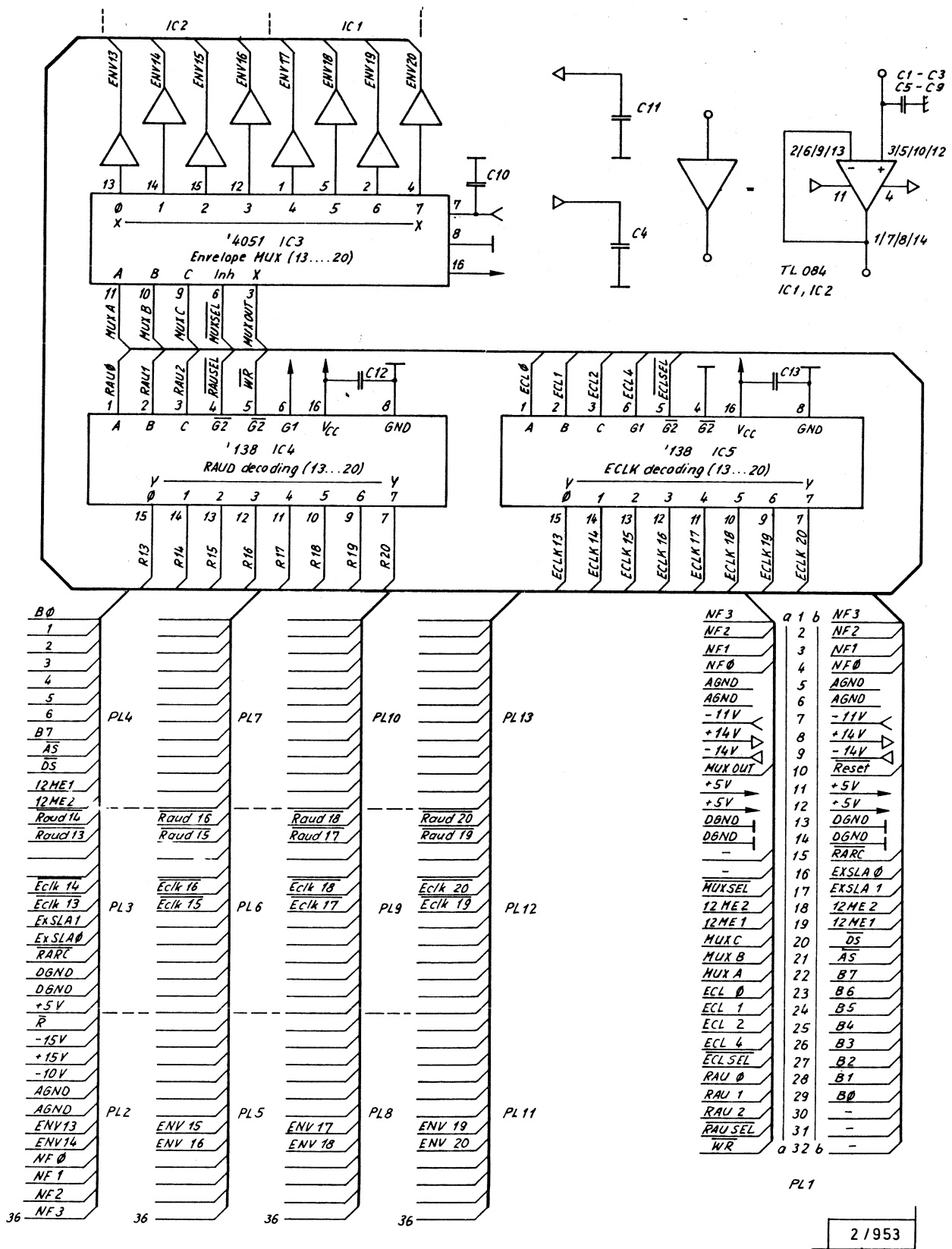


Abb. 26: Schaltbild der Erweiterungsplatine MME 1

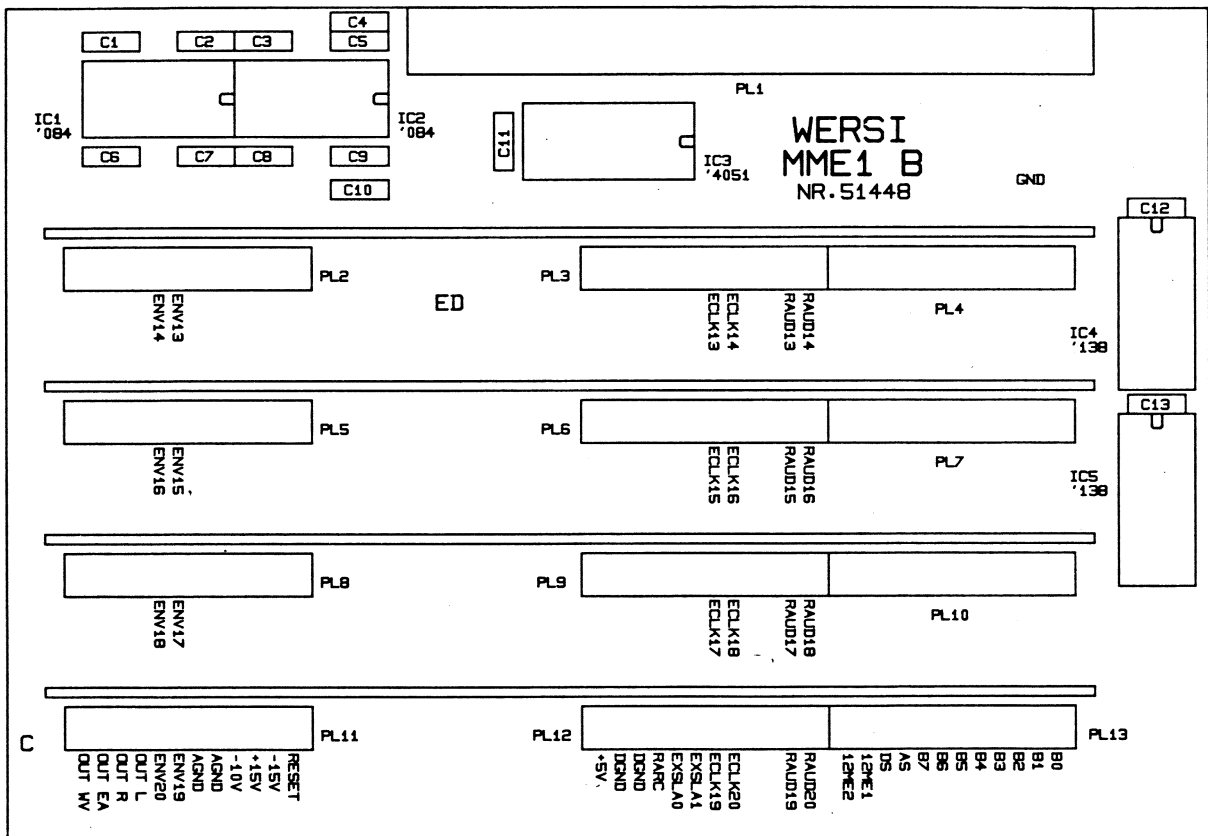


Abb. 27: Positionsdruck MME 1

VIII. Erläuterungen zur Platine SL - M 2

Die Platine SL - M 2 enthält zwei identische Tonerzeugungsmodule, die in der Lage sind, eine Wellenform mit festem oder mitlaufendem Formantcharakter unter Einbezug einer sehr komplexen Frequenzhüllkurve auszugeben. Kern dieser Tonerzeugung ist ein Single-Chip-Mikrocomputer. Gesteuert wird dieser Baustein über den Datenverkehr, den er über seinen Port 1 (IC 9, 10 : Pin 21 ... 28) mit dem Slave-RAM unterhält. Dieser Port ist während des Datentransfers als gemultiplexter Adress-Datenbus geschaltet und stellt ansonsten ein Eingangsport dar. Die Buskontrolleitungen AS und DS können mit Hilfe des 3-state-Treibers IC 7 durch den μ C selber hochohmig geschaltet werden. Die Bedeutung der Signale RAUD, ECLK, EXSLA und RARC ist im Slave- bzw. Co-Prozessor-Teil der Masterbeschreibung erklärt. Die Wellenformausgabe erfolgt durch Port 0 (Pin 13 ... 20) in den doppelstufig gebufferten 8 Bit D/A-Umformer DAC 0832 (IC 6, 8). Der Wert gelangt jedoch synchron mit dem internen Timer des μ C zur Ausgabe. Diese Timerflanken werden zuvor mit dem Exklusiv-OR-Gatter 4070 (IC 5) zu Impulsen von konstanter Länge aufbereitet.

Als Referenz erhält der DAC die vom Co-Prozessor erzeugte Amplituden-Hüllkurvenspannung (ENV). Die Taktfrequenz von 200 Hz wird mit der RC-Kombination 1 kOhm, 2,2 μ F herausgefiltert. Die Dioden sorgen für einen schnellen Anstieg und Abfall der Hüllkurve. Nun gelangt das Tonsignal zu dem zweiten Operationsverstärker, der nun wahlweise über IC 3 einen 80 Hz Tiefpaß realisiert (Bright). Schließlich wird über den Ausgangs-Routing-Schalter (IC 1, 2) der Audioweg über die vier möglichen Nf-Sammelleitungen bestimmt. Wie ersichtlich, hat man nur 8 Möglichkeiten der Routing-Kombination, nämlich:

- links
- rechts
- Effekte
- Wersivoice (WV)
- links + rechts
- rechts + Effekte
- links + WV
- WV + Effekte

Dieser Schalter entspricht in der Bedienung dem "direct-Routing-Voice".

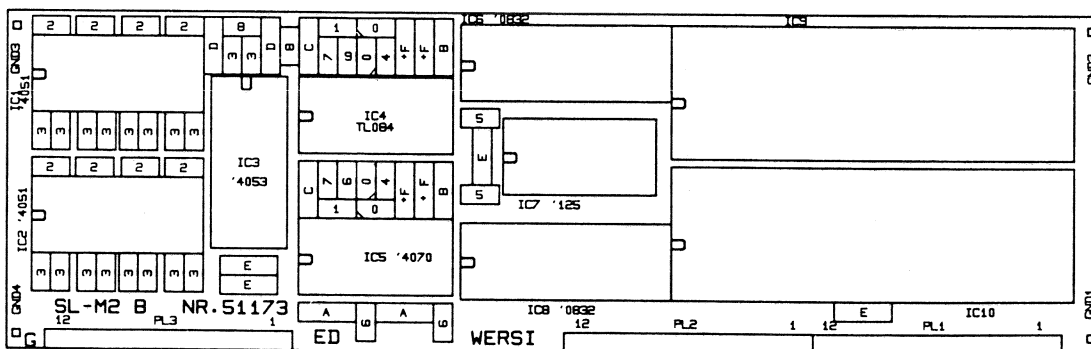


Abb. 28: Positionenplan der Platine SL - M 2

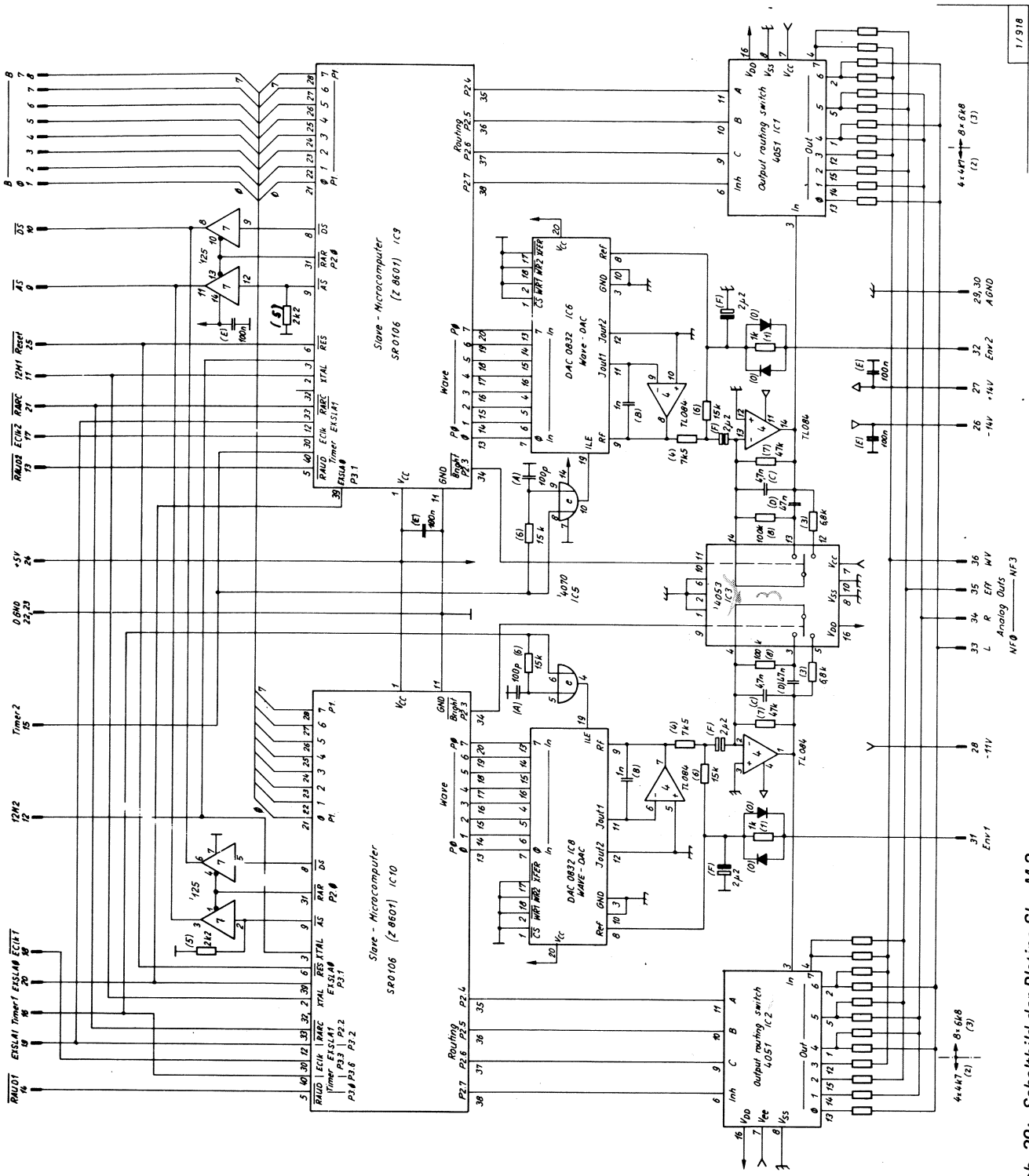


Abb. 29: Schaltbild der Platine SL - M 2

IX. Erläuterungen zur Platine AF 20 bzw. AF 21

Auf der Platine AF 20 – in neueren Modellen AF 21 – erfolgt die analoge Verarbeitung aller von der OMEGA bzw. vom Expander selbst und von außen kommender Audio-Signale. Dabei wird das sog. Routing, d. h. die kanalmäßige Zuordnung und Weiterleitung von der Software bestimmt.

Betrachten wir hierzu zunächst das Blockschaltbild (Abb. 30). Die dort ganz links angedeuteten SLAVES (Platinen SL - M 2) besitzen interne softwaregesteuerte Routingschalter, über welche bis zu vier verschiedene Audio-Signale an den SLAVE-Ausgängen bereitstehen:

1. Direktsignal links
2. Direktsignal rechts
3. WV-Signal
4. VCF-Signal

Diese vier Signale werden nun von den Eingangverstärkerstufen der Platine AF 20/21 übernommen und wie folgt weiterverarbeitet.

Die beiden Direktsignale – daher ihre Bezeichnung – laufen direkt über die Lautstärkeregelstufen VOL (softwaregesteuert), dann über die Rauschbegrenzungsstufe DYNAFEX R und das Relais zu den Ausgängen AF/L (links) und AF/R (rechts).

Das WV-Signal ("WV" steht für WERSIVOICE) durchläuft den gleichnamigen Block, welcher verschiedene Modulationen (String-, Vibrato- oder Choreffekte) bewirkt und gelangt auf die beiden Direktkanäle, wo es gemeinsam mit dem Direktsignal weiterverarbeitet wird.

Das letzte der vier SLAVE-Signale – VCF – gelangt je nach Stellung des Analogschalters S 2 entweder direkt oder über eine Verzerrerstufe (Distortion) auf die VCF-Stufe (durchstimmbares Filter), danach – abhängig von S 3 und S 4 – entweder auf den Wersivoice- oder den direkten Kanal (auch ein Routing über beide Wege ist möglich). Die Stufe NOISE liefert bei Bedarf ein zusätzliches Rauschen.

Nachdem schließlich alle SLAVE-Signale die Lautstärkeregelstufe VOL hinter sich haben, wird aus beiden Kanälen L und R ein Teil des Signals abgezweigt, dem Hall-Inputverstärker zugeführt, welcher die eigentliche Halleinrichtung (Digitalhall oder auch Federhall) speist. Das von dort zurückkommende verhallte Signal wird über die Stufe Vol. Rev. den Originalsignalen wieder hinzugefügt.

An der gleichen Stelle kommen auch die aus dem Rhythmusgerät stammenden Signale teils direkt, teils über den Hall-Zweig zur Weiterverarbeitung. Auch Mikrofon- oder Tonbandsignale würden hier eingespeist.

Ganz rechts im Blockschaltbild ist noch die Schnittstelle zwischen Hauptprozessor (MM 1) und Analogplatine (AF 20/21) gezeigt: Nach zyklischer Abfrage von Fußschweller, Wheels, Touch und aller Schieberegler (vgl. auch Abb. 8 – CB 30) werden deren Momentanwerte in digitale Informationen für den Prozessor umgewandelt und in dem DAC und dem Multiplexer wieder in entsprechende analoge Steuersignale umgesetzt.

Schaltung AF 20 (Abb. 31 a)

Oben links und oben rechts erkennen wir die vier Eingangsverstärker IC 1 (die IC-Nummern sind eingekreist) für die SLAVE-Signale, die über PL 3, Anschlüsse 1 bis 4 "hereinkommen". Die sog. Direktsignale (1 und 2) laufen auf die rechts oben gezeichneten IC 1, WV- und VCF-Signale (3 und 4) auf die links oben gezeichneten. – Alle Signale gelangen schließlich über die Zwischenverstärker IC 2 auf die stromgesteuerten Lautstärkepegelstufen IC 3. Die an den Steuereingängen 1 bzw. 16 des IC 3 benötigten Steuerströme werden von den Transistoren Q 1 bzw. Q 2 geliefert, diese wiederum erhalten ihre "Informationen" über IC 25 vom Multiplexer IC 27, Pin X 7, und letztlich, über IC 25 (D/A-Wandler) vom Hauptprozessor.

Schaltung AF 21 (Abb. 31 b)

Oben links erkennen wir die vier Eingangsverstärker IC 24 – die IC-Nummern sind eingekreist – für die Slave-Signale, die über PL 2 "hereinkommen".

Das für Wersivoice (WV) bestimmte Signal wird vom Pegel her komprimiert (IC 22) und gelangt über eine Tiefpass-Stufe (IC 6) zu den Eingängen der drei "Eimerketten"-ICs (IC 12/13/15). Diese Schaltkreise verzögern das Signal in Abhängigkeit der Clock-Frequenz, die sie von den spannungsgesteuerten Oszillatoren (VCO) erhalten (IC 3/4/5). Die drei verzögerten Signale werden in IC 14 addiert, gehen wiederum durch ein Tiefpaßfilter (IC 6) und gelangen zu dem anderen Teil von IC 22. Diese Schaltung expandiert das komprimierte Signal, so daß wieder die gleichen Pegelverhältnisse herrschen wie am Eingang bei TP 20 (WV In).

Das für VCF bestimmte Signal (VCF.In) gelangt über die Verzerrer-Schaltung (IC 4; D 2/3/4; IC 18) zur Filtereinheit des IC 18 oder direkt zum Eingang des VCF-Bausteins (IC 18 Pin 2), dem noch ein Rausch-Signal (aus IC 11) beigemischt werden kann. An den beiden Ausgängen des VCF steht ein mit 12 dB/Oktave bzw. 24 dB/Oktave gefiltertes Tiefpass-Signal an. Dieses kann nun auf den linken oder rechten Summierverstärker (IC 20) oder auf das Wersivoice geschaltet werden (IC 19).

Alle Ausgangssignale von WV, VCF oder Direkt links/rechts werden in IC 20 aufaddiert und dem spannungsabhängigen Verstärkerbaustein IC 27 zugeführt, der in Abhängigkeit von der Steuerspannung "VCA Control"

Der Wersivoice-Block wird von den ICs 28 bis 33 gebildet, die erforderlichen Steuerspannungen für die Modulation werden vom Hauptprozessor geliefert.

Im Bereich VCF bewirken IC 5 (1/2) die erwähnte Verzerrung, IC 14 erzeugt das Rauschen, und das eigentliche VCF-Filter wird von den ICs 7 bis 10 gebildet, das "Herz" dabei bildet der nach dem Prinzip des "switched capacitor" arbeitende IC 9.

Die im Blockschaltbild dargestellten Analogschalter (dort S 1 bis S 4 genannt) werden durch die ICs 11 und 12 verkörpert, in jedem IC sind 3 solcher Schalter untergebracht.

die Lautstärke des Signals bestimmt (Spannung an TP 25 = 0 Volt d. h. kein Pegel; TP 25 = + 2 Volt = maximaler Pegel, in Abhängigkeit vom Regler Master-Volume bzw. Fußschweller). An TP 23 bzw. TP 24 sind geringere Pegel als an den anderen Signal-Testpunkten zu messen, da IC 27 einen Stromausgang besitzt. Nach IC 26 sind die Pegel wieder größer und gehen über PL 6 zur Buchsenplatine des Gerätes.

Die Signale, die zusätzlich über Hall gehen sollen, werden in IC 6 (Pin 1, 2, 3) gesammelt und gelangen an die Hallanschlüsse PL 11 bzw. PL 8. Das verhallte Signal (stereo) läuft über IC 28 und IC 29 (der die Halllautstärke regelt) zur Ausgangsstufe (IC 26).

Alle Abläufe auf der AF 21 steuert der Masterprozessor auf der Platine MM 1 über den Anschluß PL 1. Die Ansteuerung der Analogschalter (IC 19/21/25) wird in IC 7 und IC 8 gespeichert. Die kontinuierlichen Steuerspannungen werden in IC 1 und IC 2 gemultiplext erzeugt und in IC 10 aufgesplittet. In den darauffolgenden Filterstufen wird die Multiplex-Taktfrequenz herausgesiebt.

Zur Signalverfolgung bzw. Fehlersuche sind an markanten Stellen Testpunkte (TP ..) angegeben. Man beachte, daß einige Analogschalter, z. B. IC 19 oder IC 21, nur bei einer gedrückten Taste und nur bei dauernd gehaltenem Ton (ein ausgeklungener Piano-Ton zählt als aus !) eingeschaltet sind.

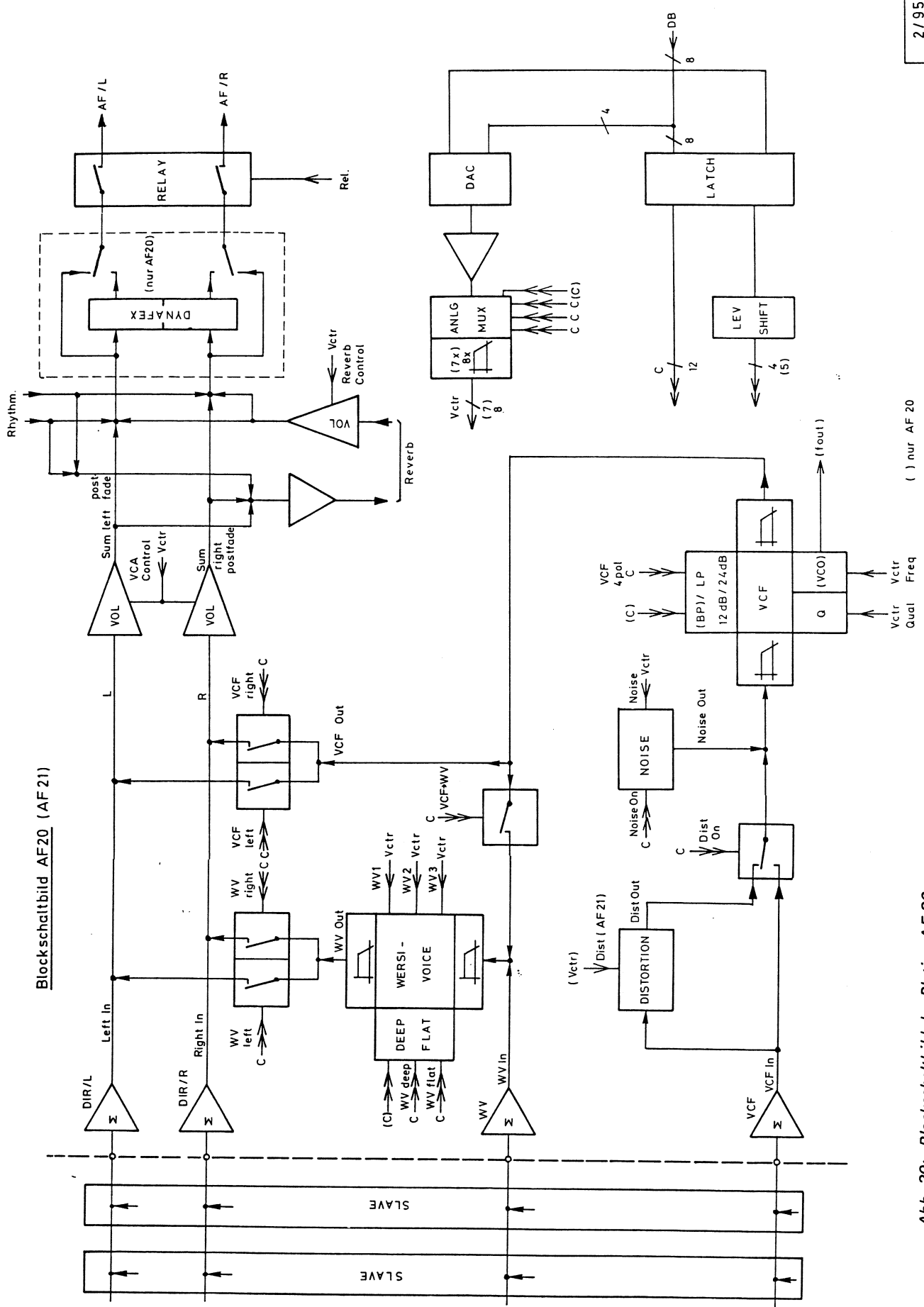
Es folgt nun eine Liste aller Testpunkte.

Testpunkte TP ... auf AF 21

TP Name	Bedeutung	Meßwert
01 Env. Dist	Lautstärke des verzerrten Tones wird vom Volume-Regler des verwendeten Manuals mitgeführt, wenn ein Ton gestartet ist.	0 .. + 10 V
02 Env. Delay 1	Modulations-Spannung für die drei Delay-Einheiten	je nach Mode langs. Sinus (0.5 .. 7 Hz) 0 .. + 10 V
03 Env. Delay 2		
04 Env. Delay 3		
05 Env. VCF. Frequency	Steuerspannung für VCF-Frequenz Steuerspannung für VCF-Güte kann durch Taste Qual. Range begrenzt werden.	ca. 1 V/Oktave 0 V = Güte 1 ab ca. + 6 V Oszillation
06 Env. VCF. Quality		
07 Env. Noise	Rauschhüllkurve	0 .. + 10 V
08 Env. Volume	Endlautstärke, abhängig von Master-Volume und Footpedal (Volume)	0 .. + 10 V
09 DAC: Out	Multiplex-DAC-Ausgang, es stehen zyklisch die 8 Kanäle für ca. 1 ms an.	0 .. + 10 V
10 WV. Comander. Out	komprimiertes Signal für WV	ca. 1 V _{SS} + 7.5 V
11 Delay. In	Delay Eingang des WV nach Filter	ca. 1 V _{SS} + 7.5 V
12 Delay. Out	Delay Ausgang des WV nach Filter	ca. 2 V _{SS} *
13 Delay. Out 1	Delay Ausgang nach 1. Filterstufe	ca. 2 V _{SS} *
14 Delay. Out 2	Delay Ausgang nach 2. Filterstufe	ca. 2 V _{SS} *
15 VCF. Out	VCF-Ausgang	ca. 2 V _{SS} *
16 WV. Out	WV-Ausgang	ca. 2 V _{SS} *
17 Left. In	Summierstufen der vier Routing-Kanäle aller Slaves	ca. 1.5 V _{SS} *
18 Right. In		ca. 1.5 V _{SS} *
19 VCF. In		ca. 1 V _{SS} *
20 WV. In		ca. 2 V _{SS} *
21 Sum. Left. Prefade	Summier-Ausgänge für Left/Right/WV/VCF/Ext.	ca. 1 V _{SS} *
22 Sum. Right. Prefade		ca. 1 V _{SS} *
23 Sum. Left Postfade	wie TP 21/22, nur nach Lautstärkeregelung (Stromausgang)	ca. 40 mV _{SS} *
24 Sum. Right Postfade		ca. 40 mV _{SS} *
25 VCA. Control	Steuereingang des Volume-VCA	0 .. 2 V
26 Reverb. Control	Steuereingang des Hall-VCA	0 .. 2 V
27 Rhythm. Left	Rhythmus-Eingang	
28 Rhythm. Right		
29 Out. Left	NF-Ausgang	ca. 4 V _{SS} *
30 Out, Right		ca. 4 V _{SS} *

31	Reverb. Left. Pref.	Hall-Return-Eingang links	
32	Reverb. Right. Pref.	Hall-Return-Eingang rechts	
33	Rev. Left. Postf.	Hall-Return-Eingänge nach Lautstärkeregelung	
34	Rev. Right. Postf.	(Stromausgang)	
35	Distortion. Out	Verzerrer-Ausgang	ca. 1 V Pegel
36	Noise. Out. Postfade	Rausch-Ausgang	zw. 0 . . + 10 V

* Register Drawbar 8' Zugriegel vollgriffig gespielt, alle Lautstärkeregler oben.
 Je nach verwendetem Register können sehr große Pegelunterschiede auftreten; wichtig ist jedoch nur die Relation der Lautstärken untereinander !



Blockschaltbild AF20 (AF21)

() nur AF 20

Abb. 30: Blockschaltbild der Platine AF 20

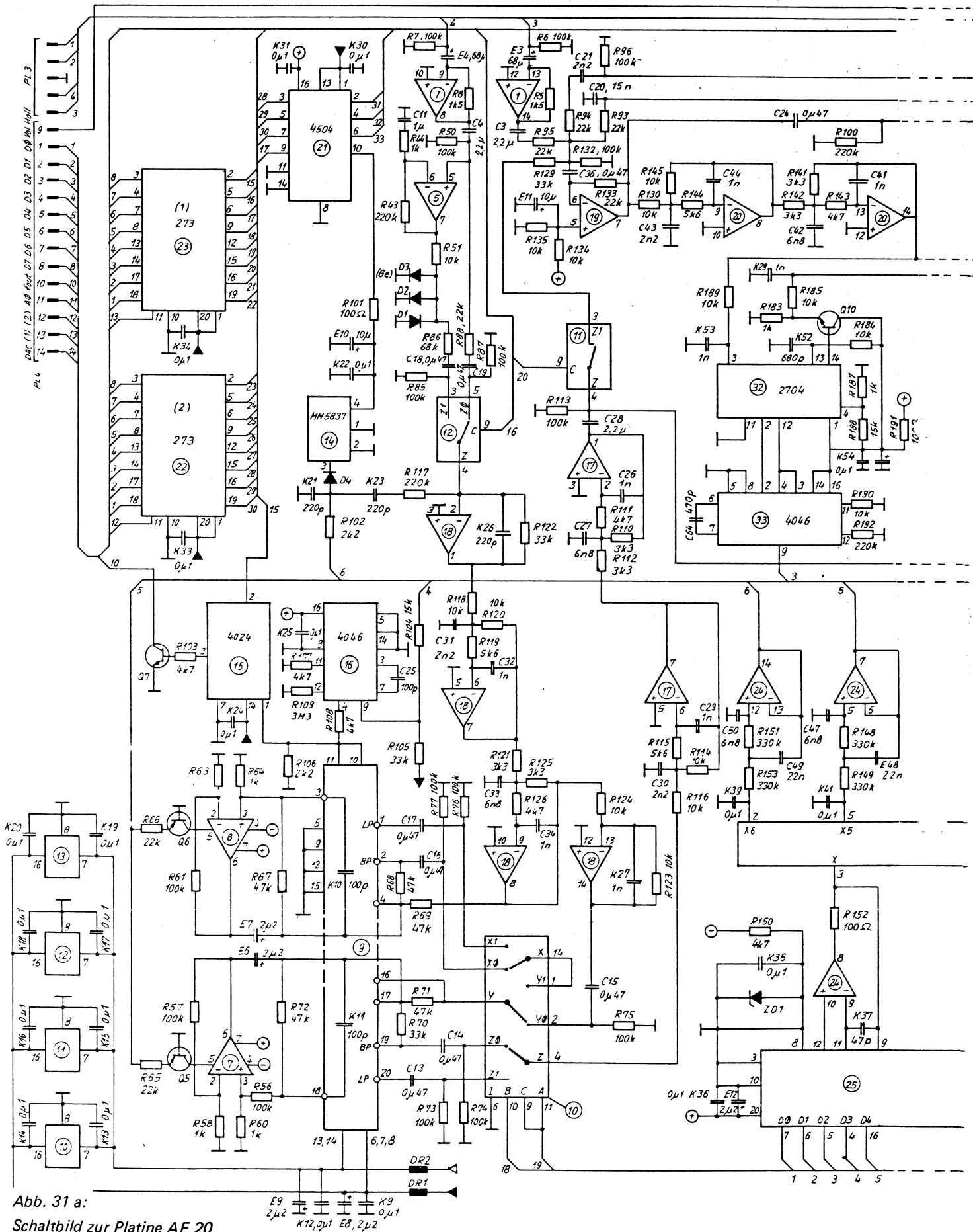
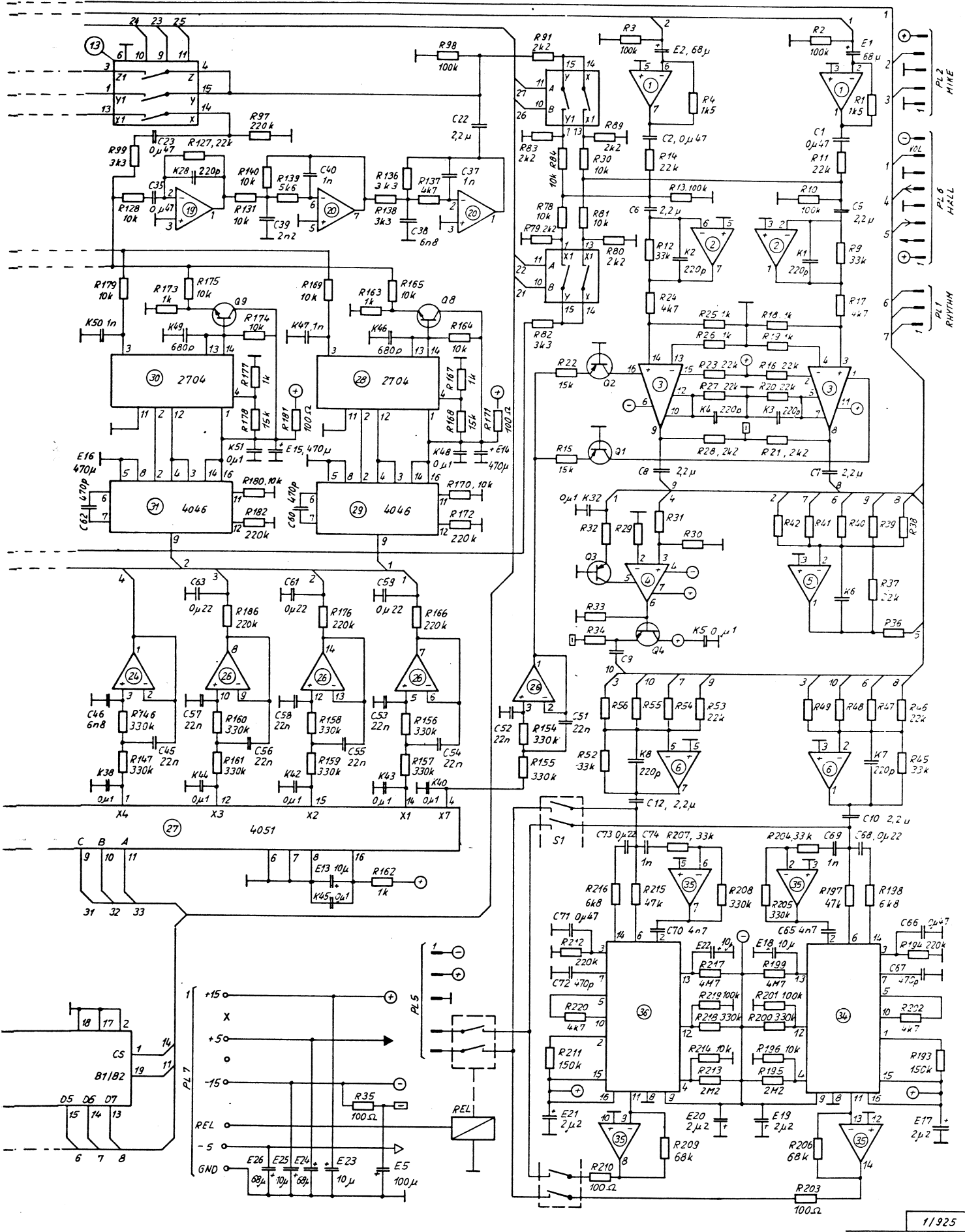


Abb. 31 a:
Schaltbild zur Platine AF 20



11/925

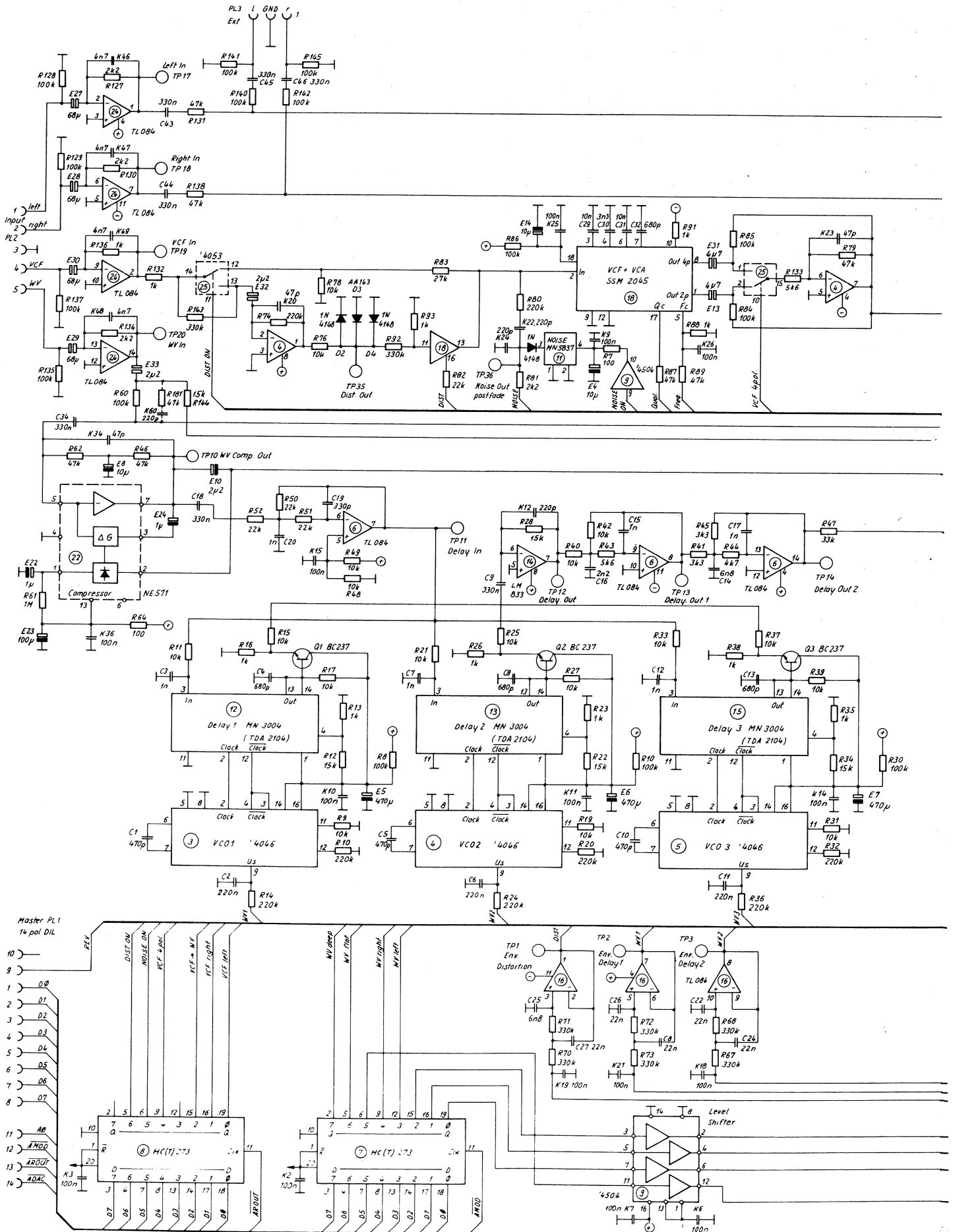
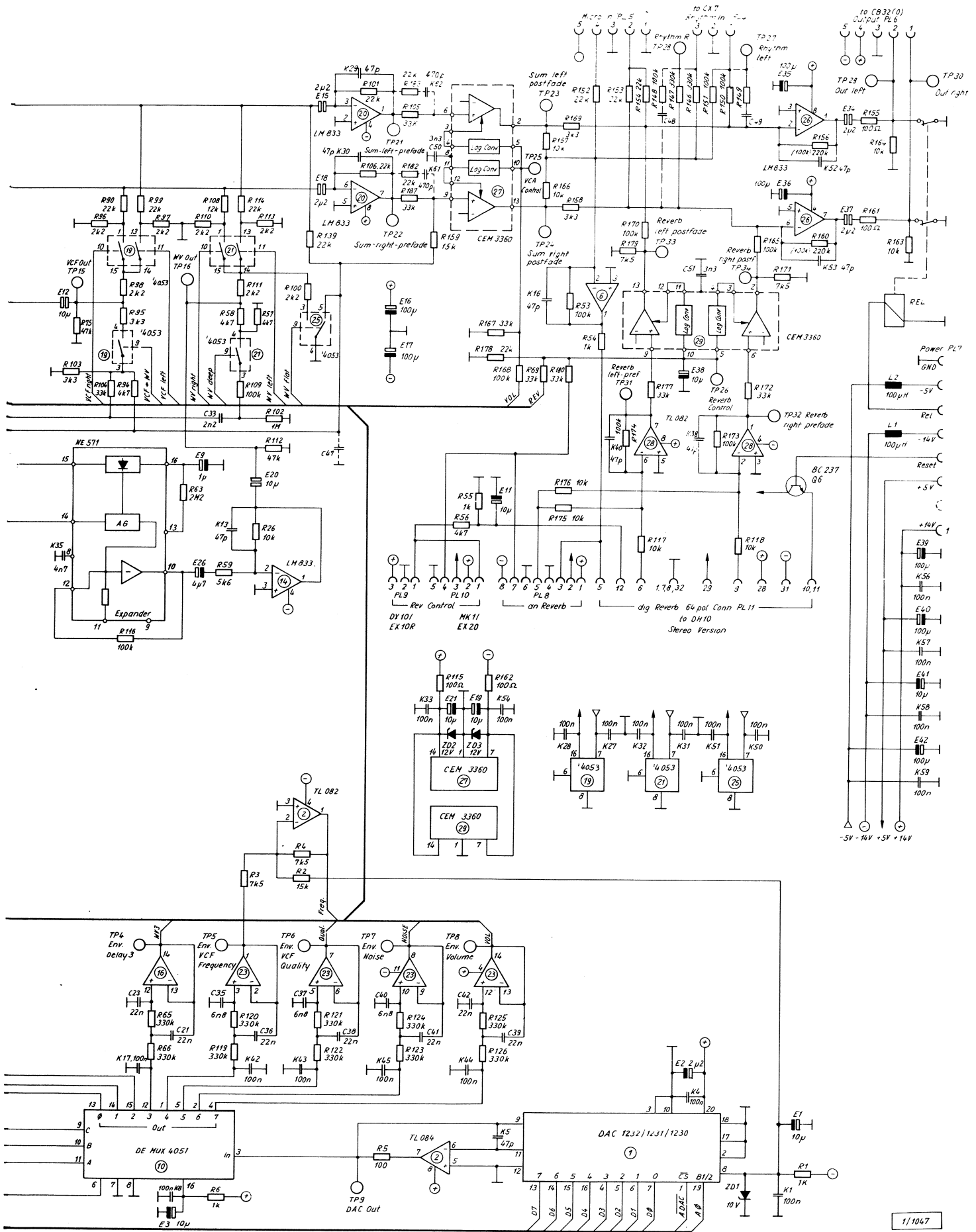


Abb. 31 b: Schaltbild zur Platine AF 21



1/1047

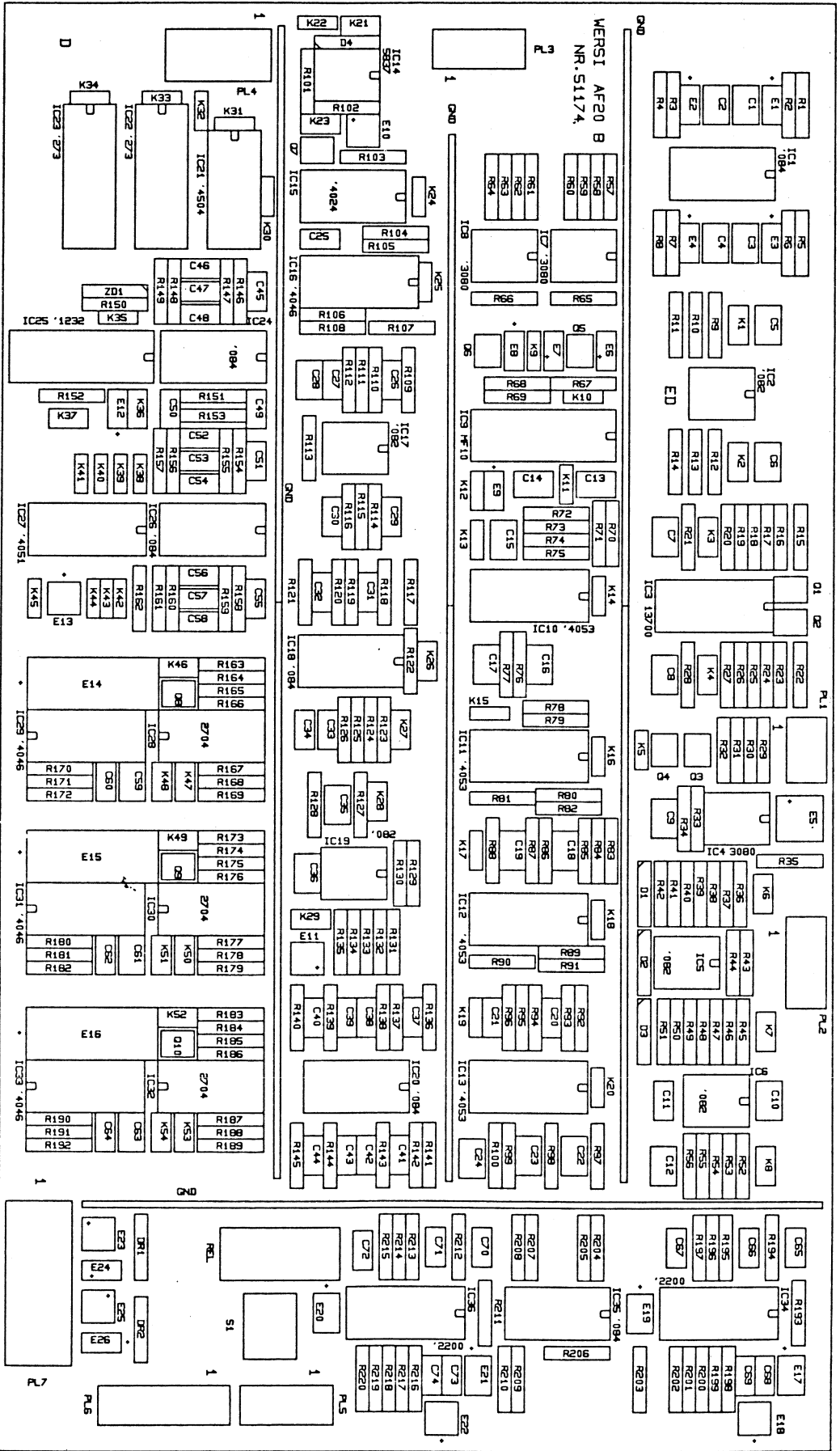


Abb. 32 a: Positionsdruck der Platine AF 20

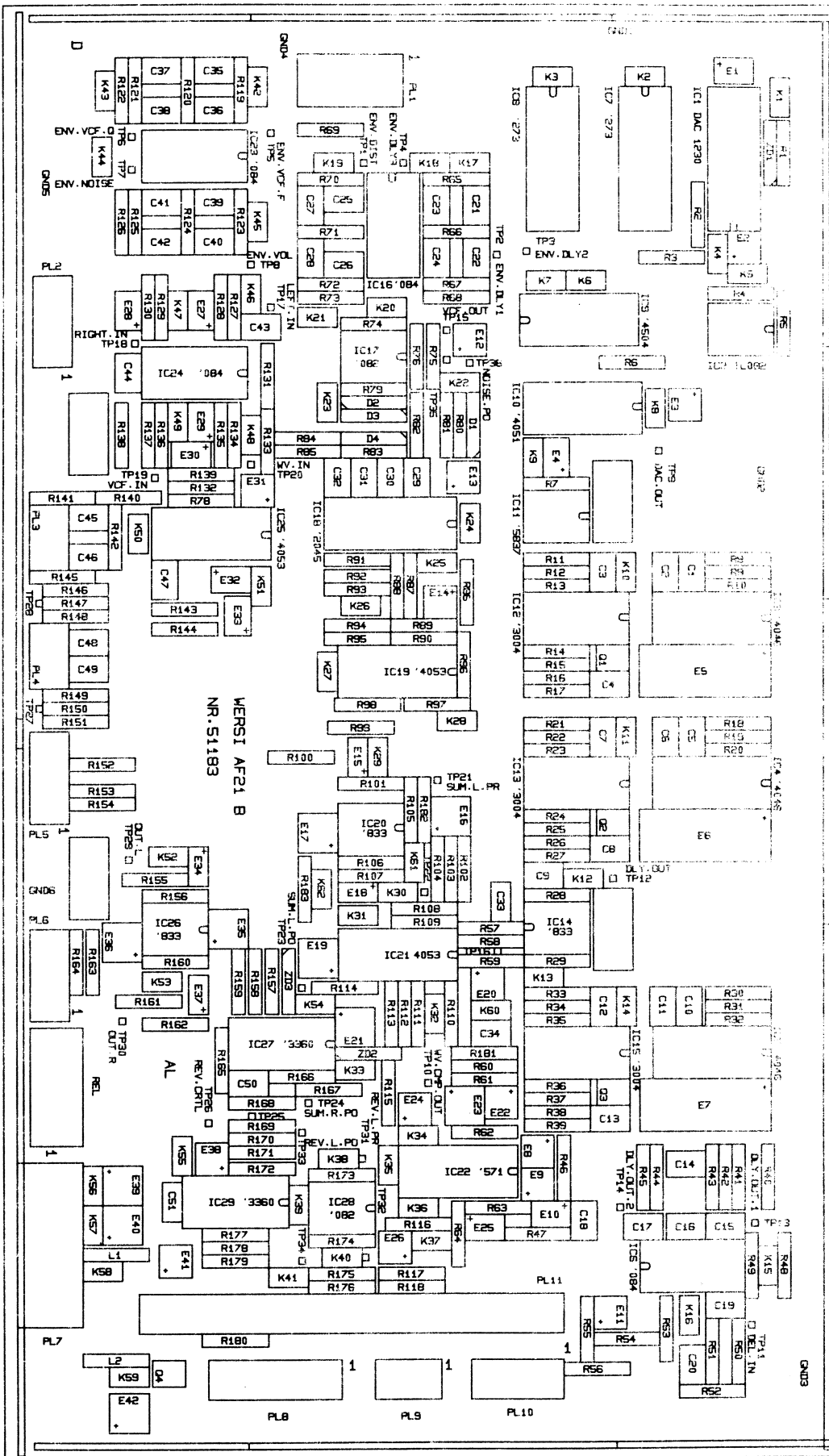


Abb. 32 b: Positionsdruck der Platine AF 21

X. Erläuterungen zur Platine DH 10

Das Eingangssignal (Plug 1, Stift 5) gelangt über C 31 (4,7 nF) an den Eingang des IC 14 (NE 571, Pin 6).

C 31 dient zur Höhenanhebung, mit IC 14 a und IC 16 a (TL 084) wird eine Dynamikkompression und Pegelbegrenzung auf max. 5 V_{SS} erreicht (D 7, D 8). Das nachfolgende Tiefpaßfilter (IC 16 b, c, d) dient der Bandbegrenzung (4 kHz: Ca. - 60 dB).

Das so in Frequenzgang und Dynamik für die Digitalisierung angepaßte Signal wird mit IC 13 (LF 398, Sample and Hold) für die notwendige Umwandlungszeit des Analog-Digital-Converters (ADC 1210, IC 11) im Amplitudenwert konstant gehalten.

IC 11 setzt nun das Analogsignal in einen 12-Bit-Code um, dieser wird in 2 Bytes zerlegt mit IC 5 und IC 6 (74 LS 244) nacheinander zur CPU (IC 1, 68B09) durchgeschaltet. Die CPU wird von dem in IC 2 (2-kByte-EPROM) abgespeicherten Programmen (kurzer und langer Hall, schnelles und langsames Echo) gesteuert. Von der CPU wird die Digitalinformation (Daten) in einen Speicher (IC 7, 2 k x 8 RAM) geschoben, zeitlich versetzt ausgelesen, mit anderen Daten addiert, wieder abgespeichert usw.

Das geschieht mit dem 12-Bit-Code des ADC so oft, daß Hallzeiten bis zu 4 Sek. erreicht werden, wobei CPU und RAM mit einer Breite von 16 Bit arbeiten.

Das fertige Signal (wieder 12 Bit) wird wiederum in 2 Bytes zerlegt und in 2 Schritten den Digital-Analog-Converter (DAC 1230, IC 12) zugeführt, dieser erzeugt einen dem Digitalwert entsprechenden Analogstrom.

Dieser Strom wird mit IC 15 c (TL 084) in eine Spannung umgesetzt, die aber noch, durch vorangegangene Digitalisierung, Amplitudensprünge und unerwünschte Frequenzanteile enthält.

Im nachfolgenden Tiefpaßfilter (IC 15 a, b, d) wird das Signal geglättet, d. h. die störenden Anteile werden herausgefiltert.

Mit C 40 (33 nF) und IC 14 b werden die oben beschriebene Höhenanhebung und Dynamikbegrenzung des Eingangssignals wieder rückgängig gemacht.

Das so verhaltene und verzögerte Ausgangssignal gelangt entweder direkt über Ju 1 an den Ausgang (6) oder (stereo) über IC 17.

Die Umschaltung der verschiedenen Betriebsarten (kurzer und langer Hall, schnelles und langsames Echo) erfolgt über NMI der CPU durch Spannungsimpulse an Stift 12.

Mit Reset (CPU) wird der Programmablauf (Spannung an Stift 10, 11) aktiviert.

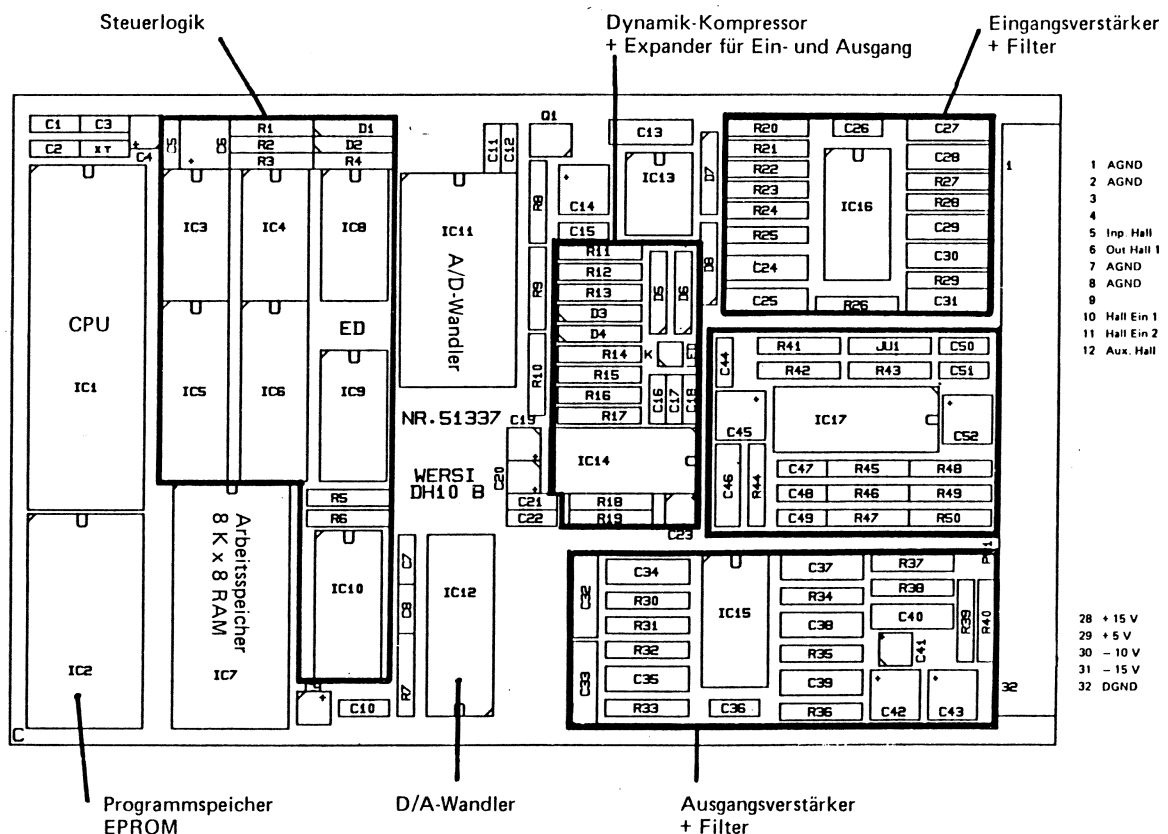


Abb. 33: Positionenplan der Platine DH 10

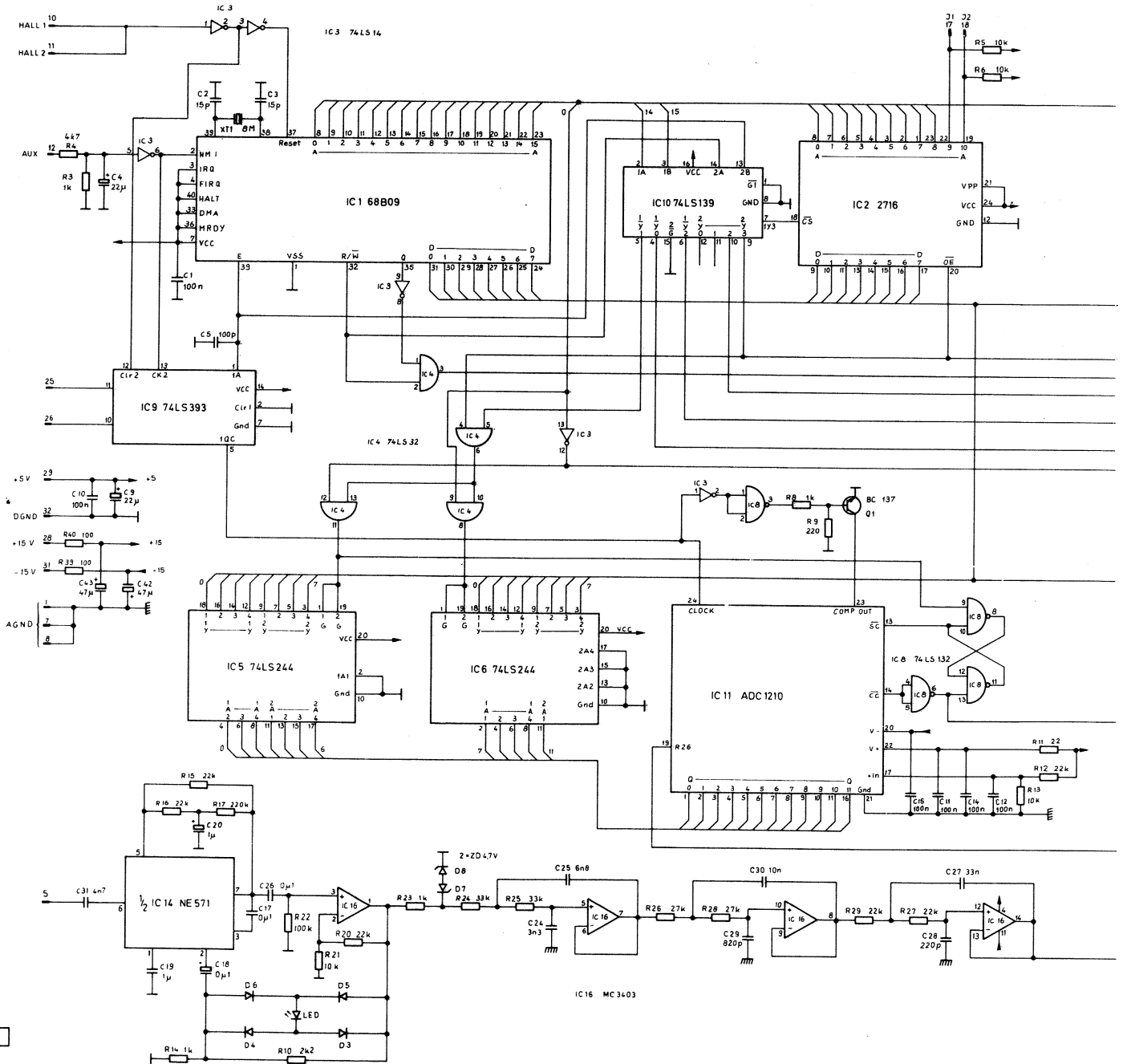
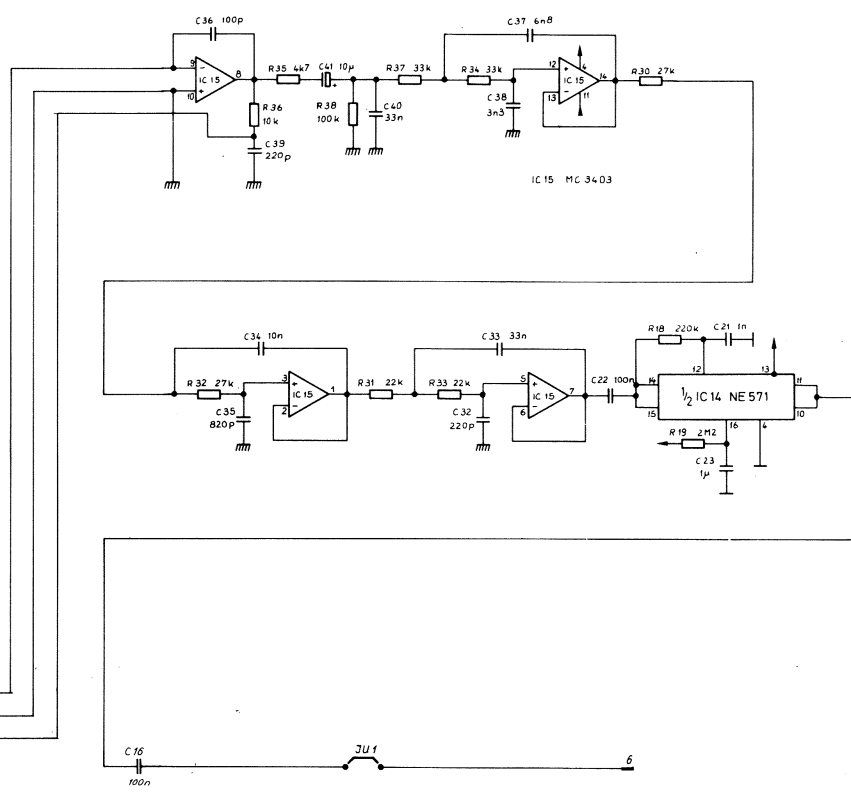
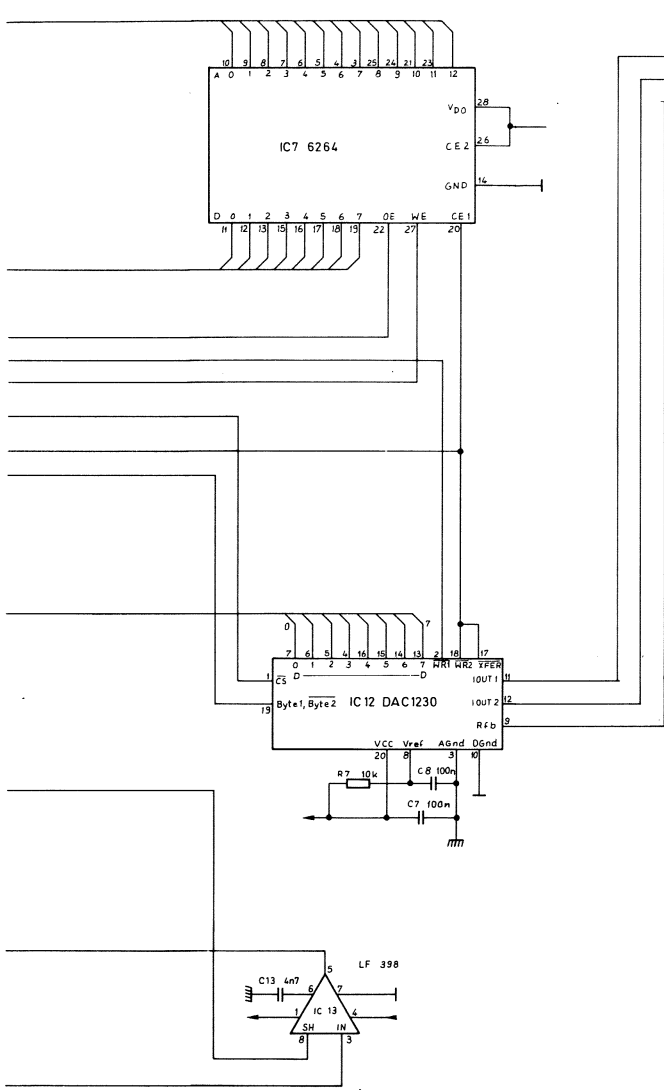


Abb. 34 a: Schaltbild zur Platine DH 10 (mono, mit AF 20)



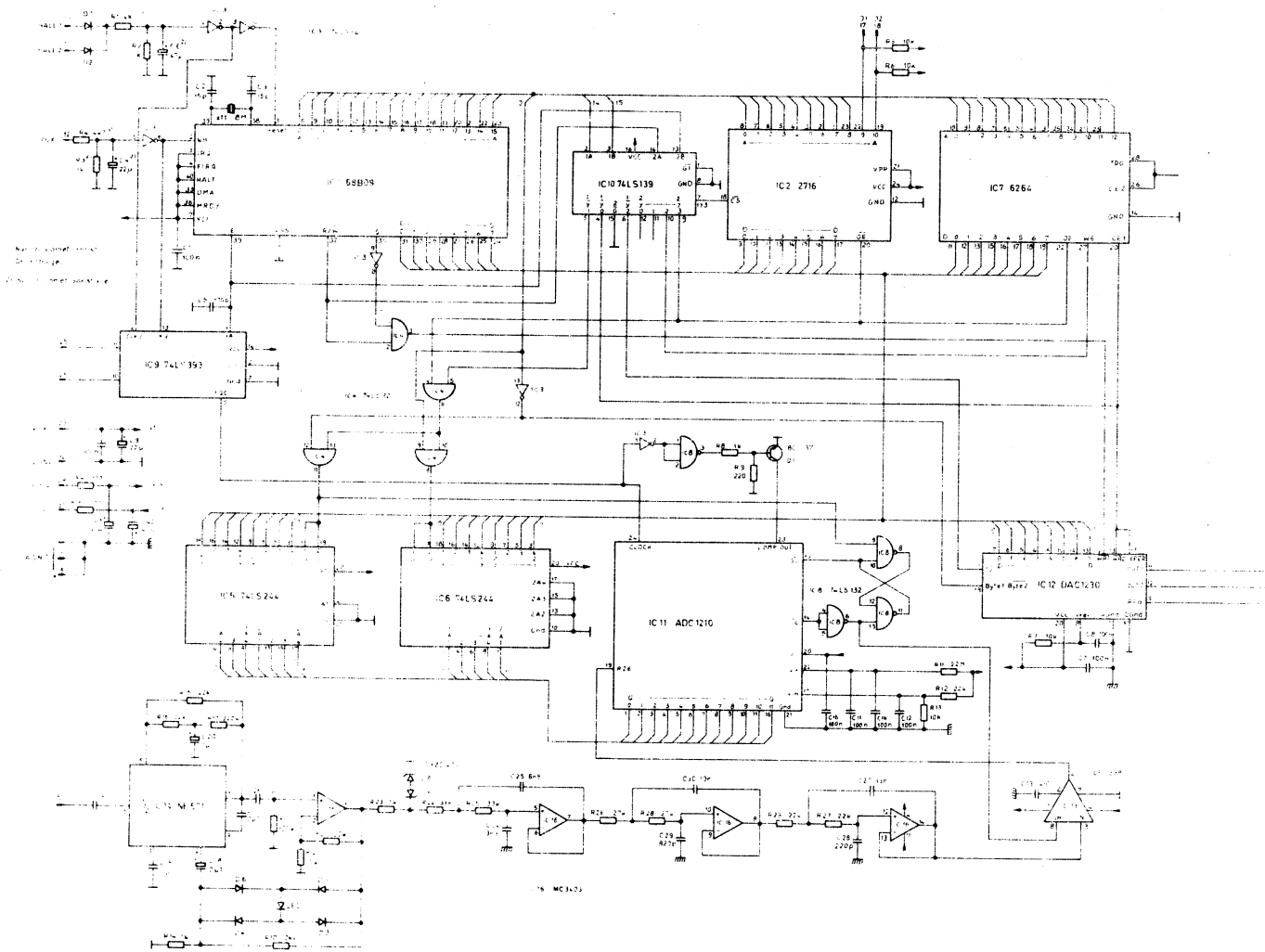


Abb. 34 b: Schaltbild zur Platine DH 10 (stereo, mit AF 21)

**XI. Erläuterungen zu den Platinen CX 7 und CBM 29
Rhythmusgerät OMEGA (Abb. 35)
(CBM 29 nur in OMEGA)**

Der uP IC 15 liest, abhängig von den Instrumenttriggern, die er über IC 26 aus dem Master-Datenbus erhält, zyklisch die im IC 20, IC 21 und IC 22 digital abgespeicherten Schlaginstrumentenklänge aus. An den Ausgängen Q 0 - Q 7 des IC 18 stehen die gewünschten Klänge als digitale Momentanwerte in gemultiplexter Form an. Diese 8-Bit-Digitalinformation wird im Digital-Analog-Umsetzer IC 10 in ein Analogsignal umgewandelt. Danach stehen die Schlagzeugklänge zwar schon zur

Verfügung, doch sind noch alle beteiligten Schlaginstrumente ineinander verschachtelt ("gemultiplext"). Mit Hilfe von IC 8 und IC 9 erhält jedes Schlagzeuginstrument eine Lautstärkebeeinflussung. Im Demultiplexer, IC 5, werden dann die Instrumentenklänge "aufgeteilt", d. h. jedes Instrument erhält seinen eigenen Audio-Kanal. Nach Filterung im IC 4 gelangt das Tonsignal auf IC 2, wo eine Gesamtlautstärke der Rhythmusgruppe bestimmt werden kann.

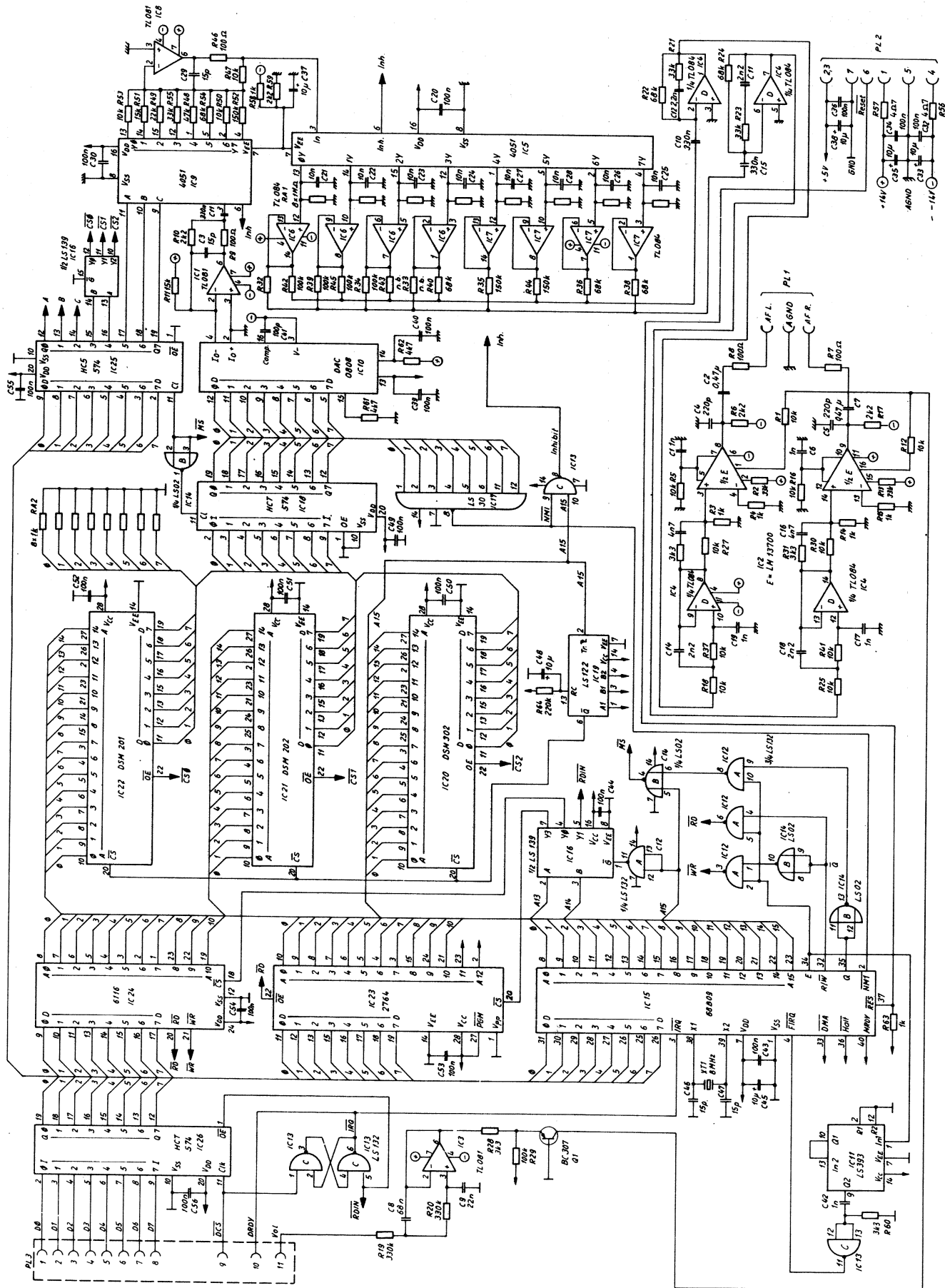


Abb. 35: Schaltbild der Platine CX 7

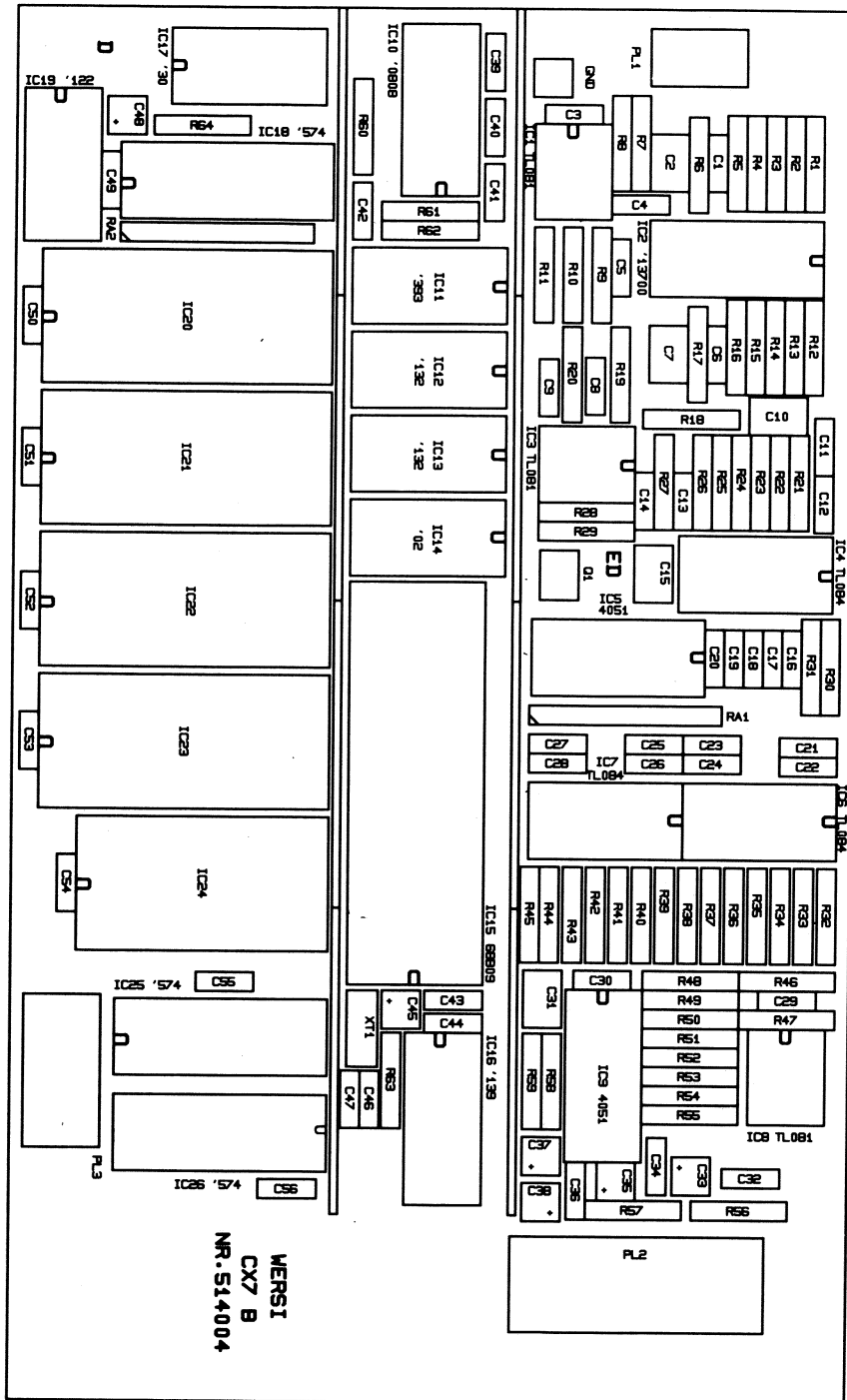


Abb. 36: Positionsdruck der Platine CX 7

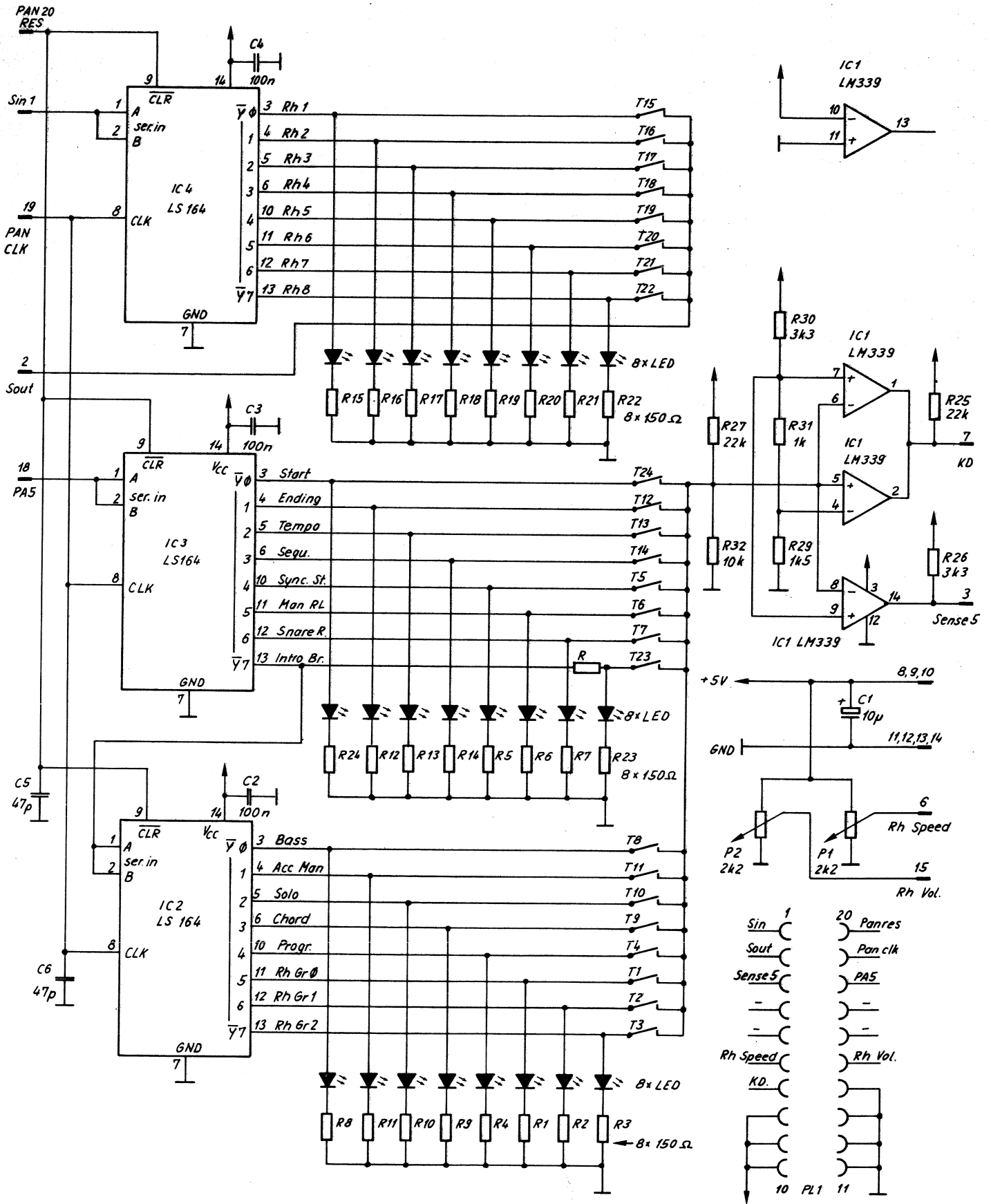


Abb. 37: Schaltbild der Platine CBM 29

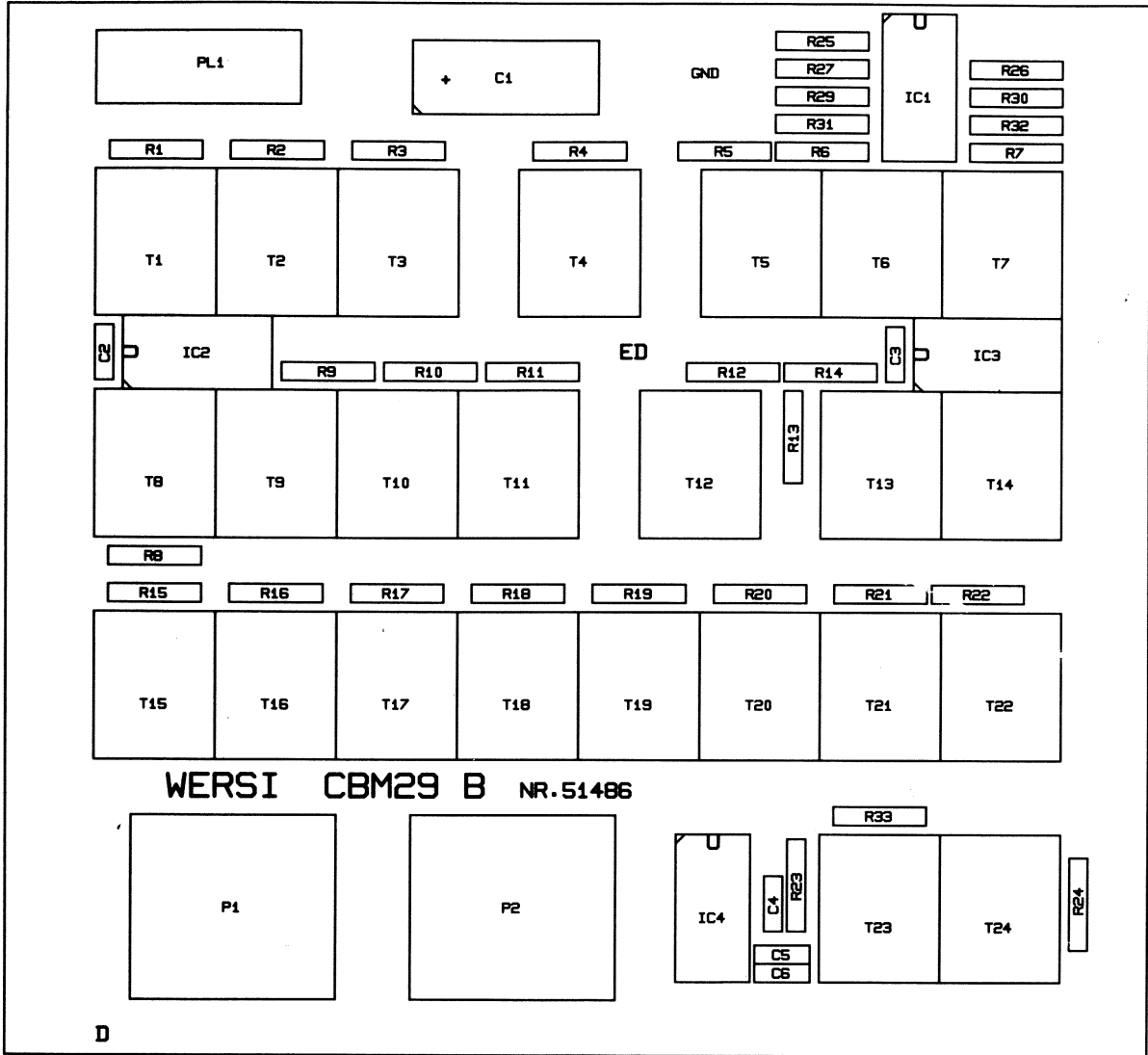


Abb. 38: Positionsdruck der Platine CBM 29

XII. Platinen PA 102 und PA 104
(nur in OMEGA)

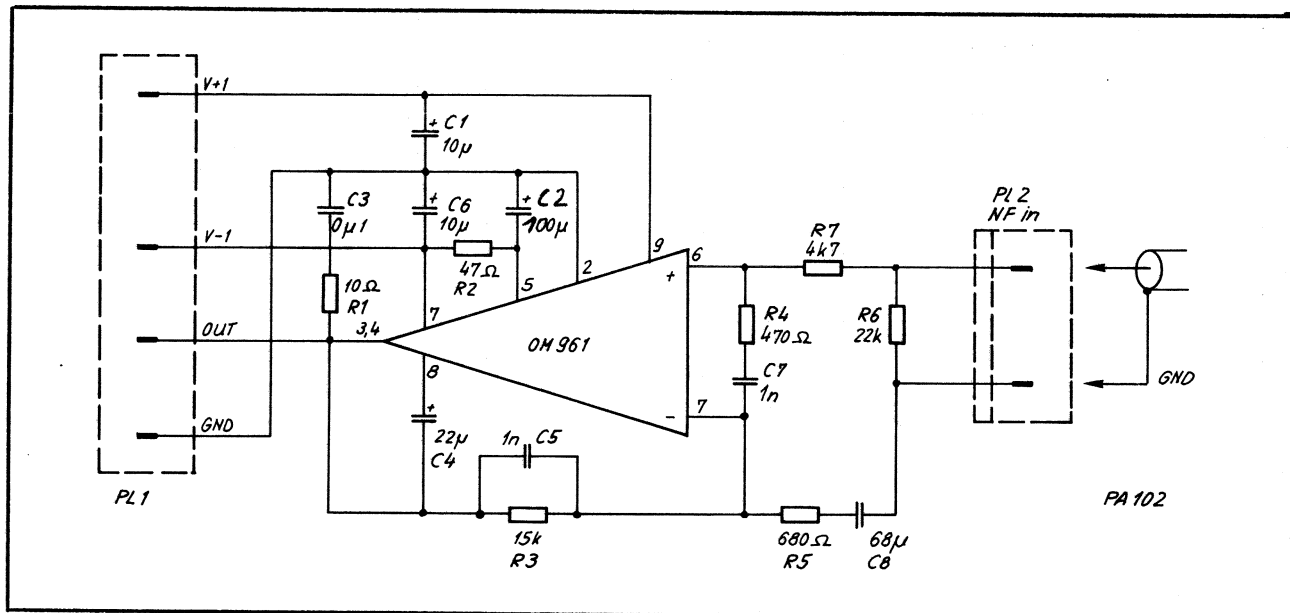


Abb. 39: Schaltbild der Platine PA 102

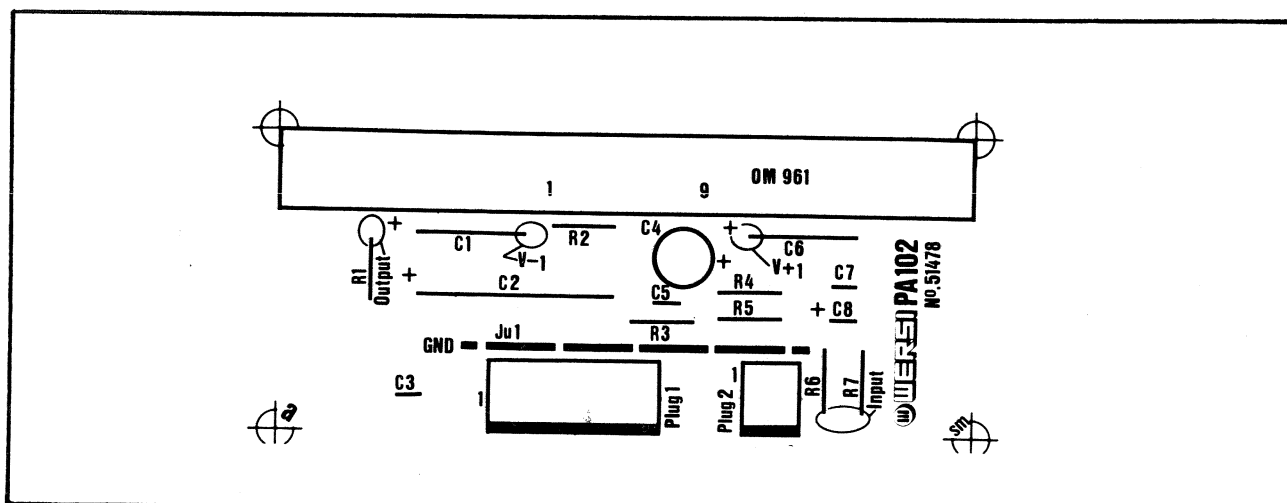
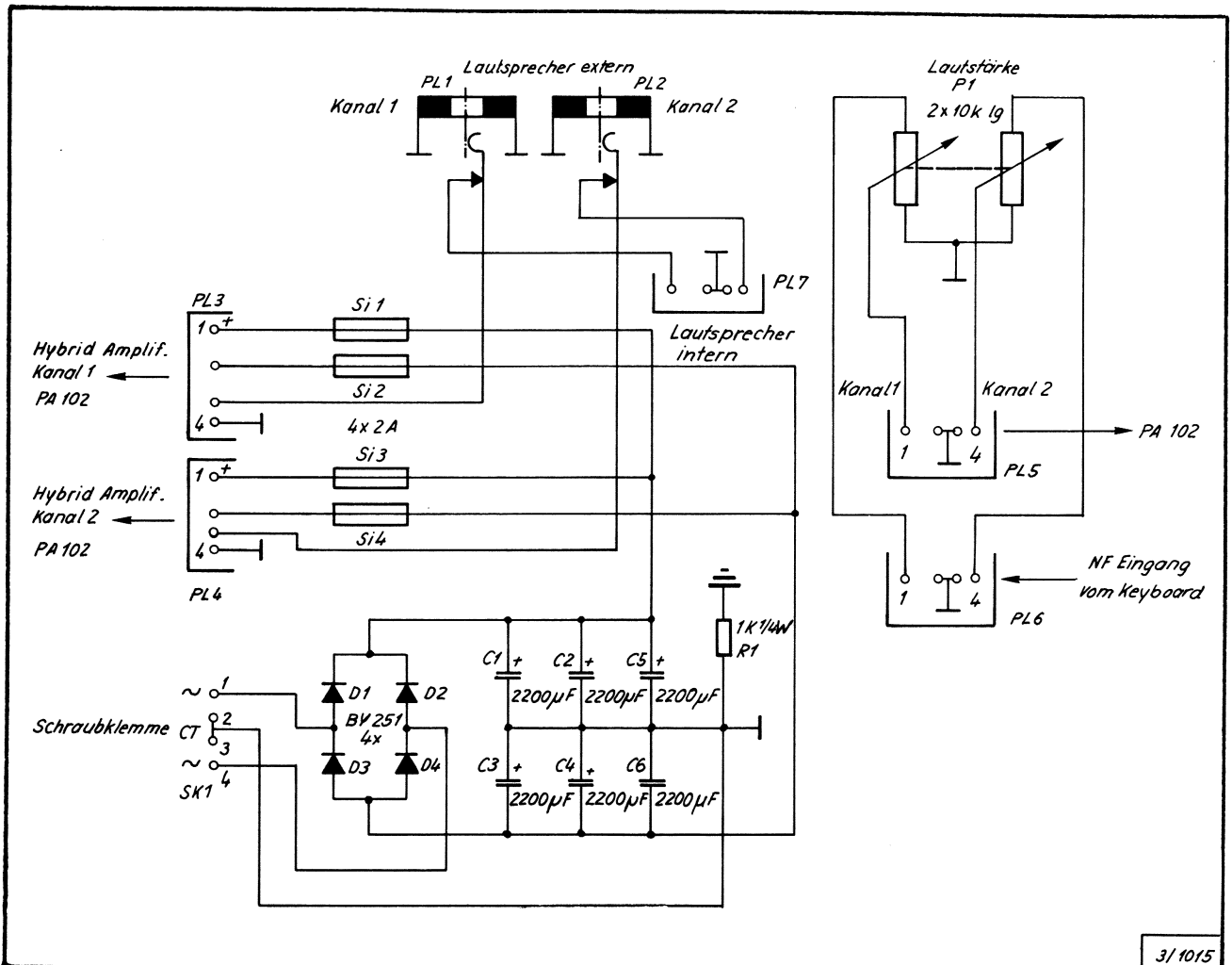


Abb. 40: Positionsdruck PA 102



3/1015

Abb. 41: Schaltbild der Platine PA 104

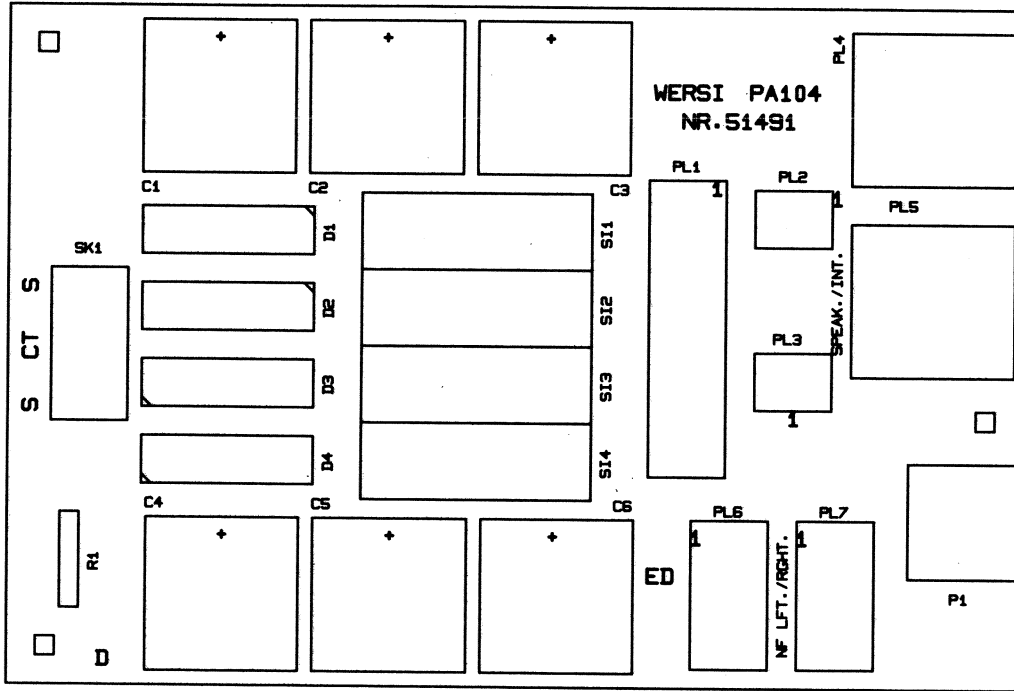


Abb. 42: Positionsdruck PA 104

XIII. Hinweis zur Platine ME 2

Die Platine ME 2 – Bedienfeld im Expander EX 10 – erfüllt prinzipiell die gleichen Aufgaben wie die drei Platinen CBM 30, 31 und 36 in der OMEGA. Die dort gegebenen Schaltungserläuterungen können hier also weitgehend übernommen werden.

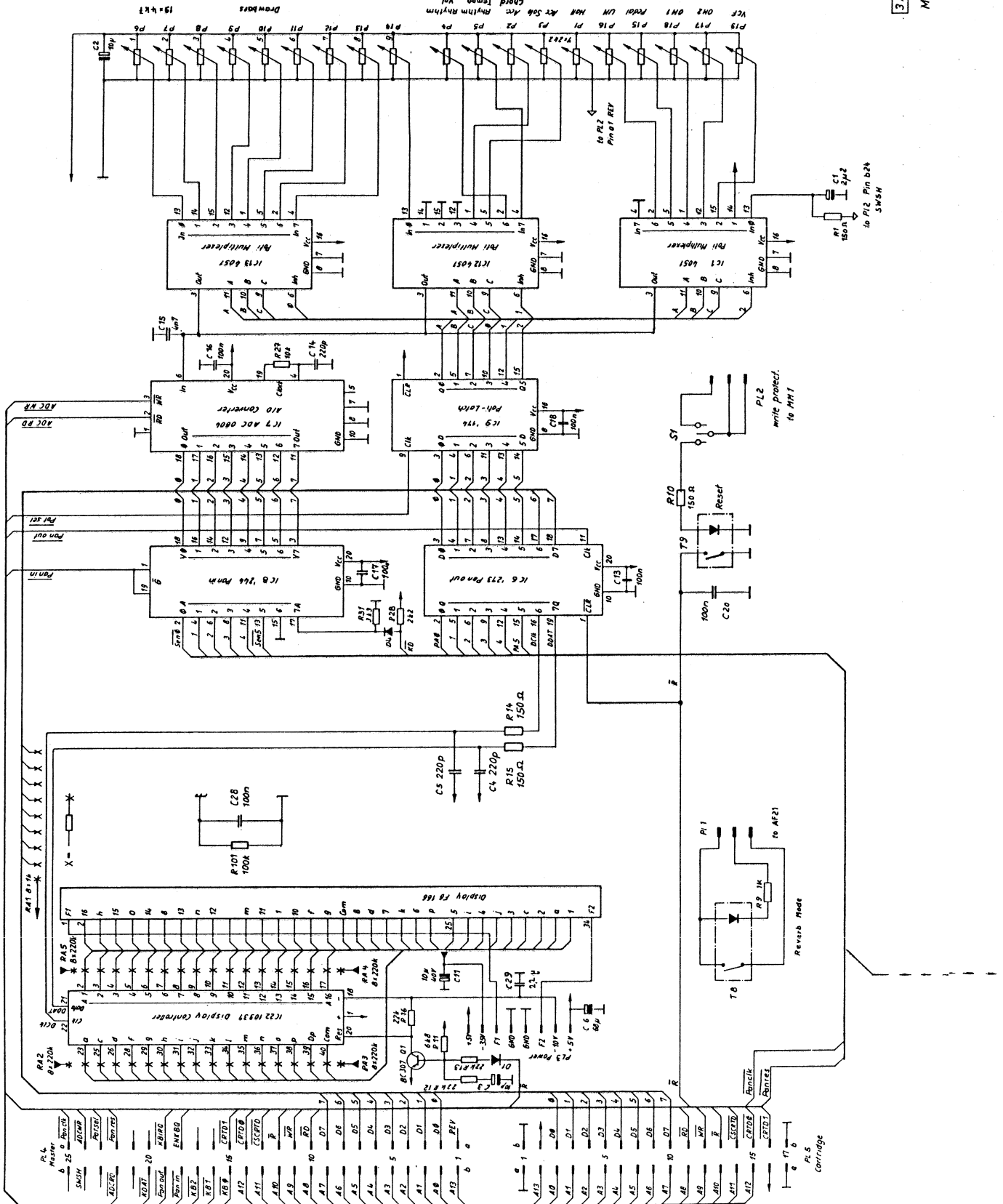
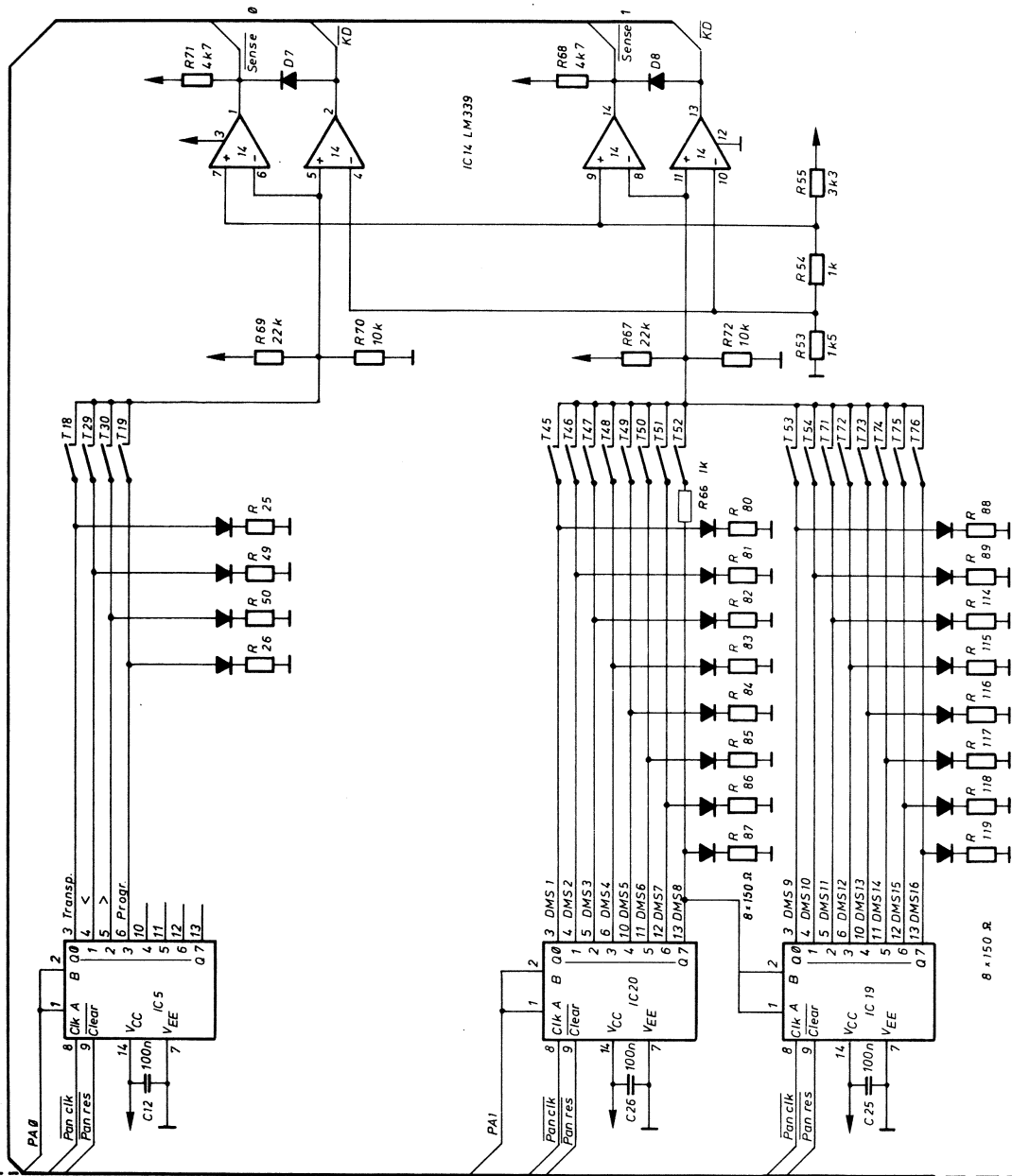
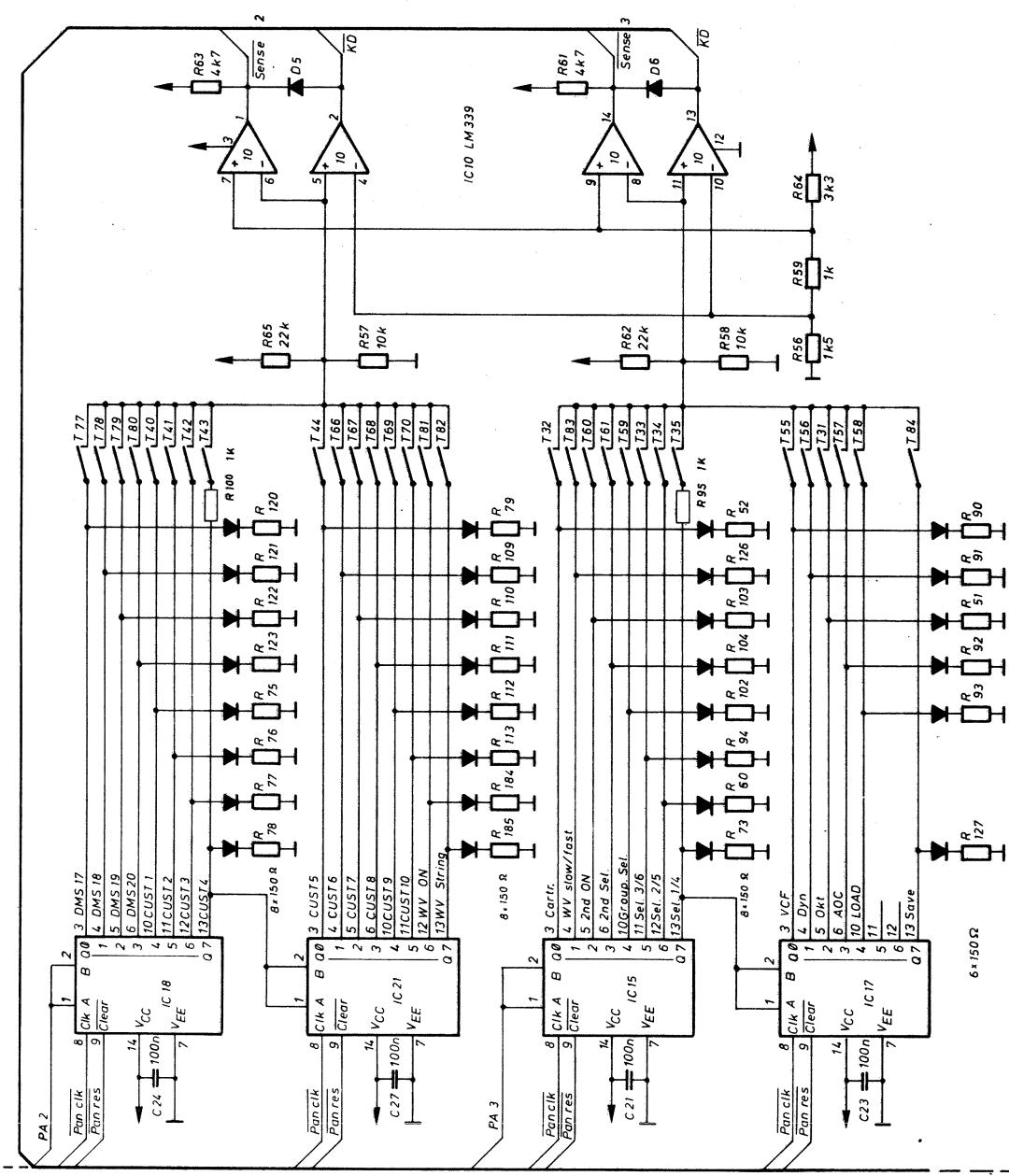
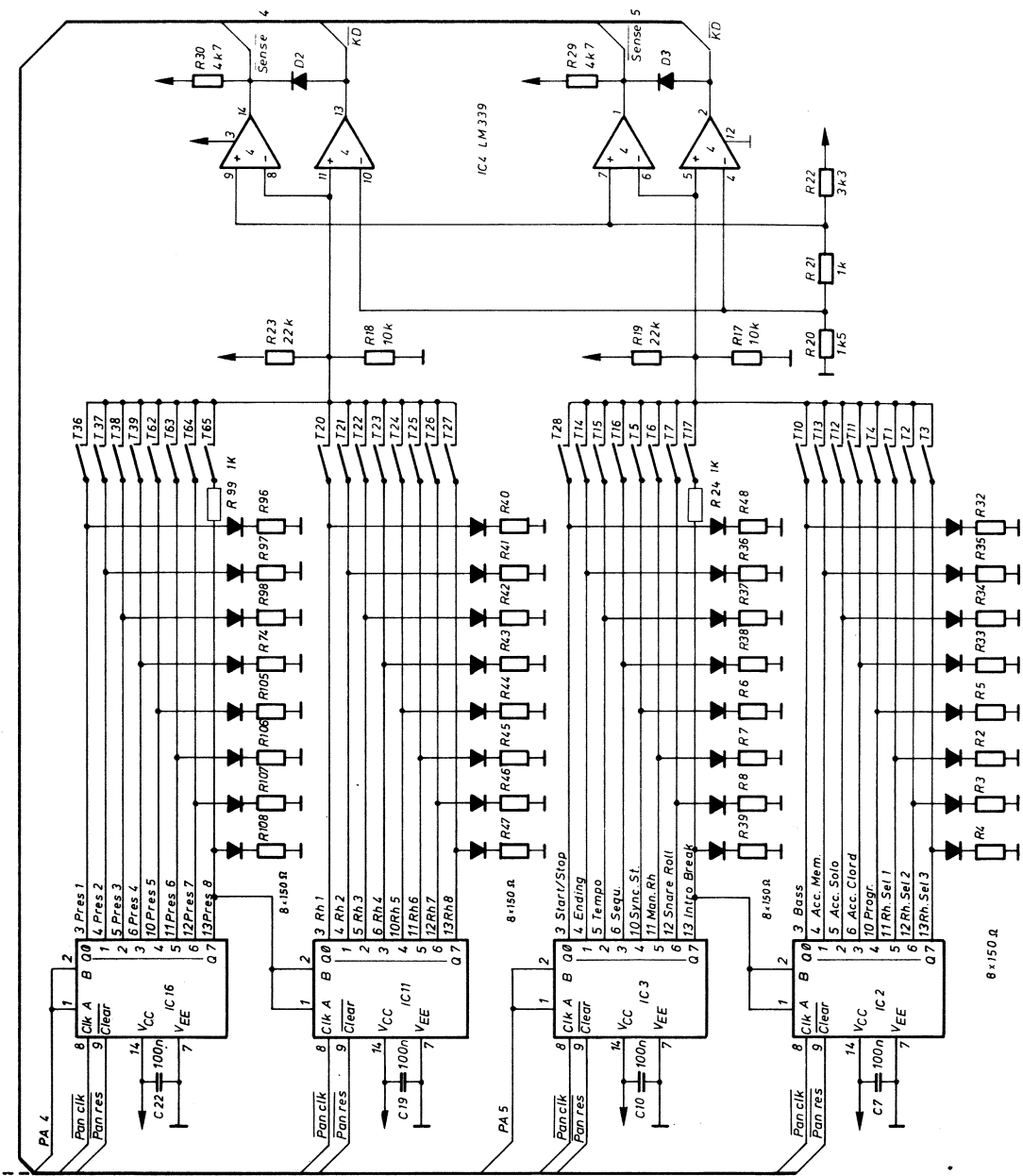


Abb. 43: Schaltbild der Platine ME 2







D. Anhang

Auflistung aller verwendeten Kürzel

Name	Bedeutung	Bus	Platine
ACIRQ	ACIA IRQ	Control	MM1 : IC 7, 14
ADAC	ANALOG DAC Select	Select	MM 1: IC 12, PL 4; AF 20 : IC 25
ADCRD	ADC Read Select	Select	MM 1: IC 8, PL 1; CB 30 : IC 8
ADCWR	ADC Write Select	Select	MM 1 : IC 15, PL 1; CB 30 : IC 8
AGND	Analog Ground, Analog-Masse		
AMOD	Modulations Byte auf AF 20	Select	MM 1 : IC 49, PL 4; AF 20 : IC 22
AROUT	Routing Byte auf AF 20	Select	MM 1 : IC 49, PL 4; AF 20 : IC 23
AS	Adress Strobe (Slave)	Slave	Slaves SL - M 2; MM 1 : IC 29
B 0 . . . B 7	Slave Adress/Daten-Bus	Slave	MM 1 : IC 29 . . . 31, Slaves SL - M 2
CRAR	clear ram access (master)	Select	MM 1 : IC 15, 34
CRES	Co-Prozessor RESET	Control	MM 1 : IC 17, 42
CRTD0	Cartridge Codierung 0	Control	MM 1 : PL 1, IC 10; CB 30; CB 35
CRTD 1	Cartridge Codierung 1	Control	MM 1 : PL 1, IC 10; CB 30; CB 35
CR/W	Co-Prozessor R/W	Control	MM 1 : IC 42, 23, 27, 38, 40
CSCRTD	Cartridge Select	Select	MM 1 : IC 9, PL 1; CB 30; CB 35
DCLK	Display Clock	Panout	CB 30: IC 10, 6
DDAT	Display Daten	Panout	CB 30 : IC 10, 6
DCS	Drum Select (nur DX 10)	Select	MM 1 : IC 15, PL 5
DGND	Digital Ground, Digital-Masse		
DRDY	Drum Ready (nur DX 10)	Select	MM 1 : PL 5, IC 10
DRV	Drum Volume (nur DX 10)	Control	MM 1 : PL 1, 5
DS	Data Strobe (Slave)	Slave	Slaves SL - M 2; MM 1 : IC 31, 33
E	System Clock 2 MHz	Control	MM 1 : IC 18, ►
ECLK	Envelope Clock (1 ... 20)	Slave	MM 1 : IC 41; MME 1 : IC 5, Slaves
ENKBQ	Enable Keyboard Interrupt	Control	MM 1 : IC 11, PL 1; CB 30; KD 10 : IC 1
EXSLA0	Exponent für Slave Pitch	Slave	MM 1 : IC 17; Slaves SL - M 2
EXSLA 1	Exponent für Slave Pitch	Slave	MM 1 : IC 17; Slaves SL - M 2
EXT	Ext. Select (nicht belegt)	Select	MM 1 : IC 15, PL 1
FIRQ	Fast Interrupt 68B09	Control	MM 1 : IC 14, 18
GND	Ground, Masse		
IO	Input/Output Select Bereich	Select	MM 1 : IC 14, 6, 7, 12
IRQ	Interrupt 68B09	Control	MM 1 : IC 14, 18
KBIRQ	Keyboard Interrupt	Control	KD 10 : IC 1; CB 30; MM 1 : IC 10, 14
KD	Key-Down (Panel-Taster)	Panin	CB 31 : IC 1, 7; CB 30 : PL 3, 4, IC 7
KDAT	Keyboard Data	Adress	MM 1 : IC 12, 8, PL 1; CB 30 : IC 9
KEYB0	Keyboard Select 0 (Tonnummer)	Select	MM 1 : IC 8, PL 1; CB 30; KD 10 : IC 3
KEYB1	Keyboard Select 1 (Dynamik)	Select	MM 1 : IC 8, PL 1; CB 30; KD 10 : IC 2
KEYB2	Keyboard Select 2 (frei)	Select	MM 1 : IC 8, PL 1; CB 30 : PL 5
MUXOUT	Multiplex Ausgang Hüllkurve		MM 1 : R 14, IC 27, 44, 45, PL 25; MME 1
PA 0 . . . 5	Peripherie Adressen (6 bit)	Panout	CB 30 : IC 10, PL 3, 4, 5; CB 31
PANCLK	Panel Clock	Select	MM 1 : IC 15, PL 1; CB 30; CB 31
PANIN	Panel In Port Select	Select	MM 1 : IC 8, PL 1; CB 30 : IC 7
PANOUT	Panel Out Latch Select	Select	MM 1 : IC 8, PL 1; CB 30 : IC 10
PANRES	Panel Reset	Select	MM 1 : IC 15, PL 1; CB 30; CB 31
POTSEL	Poti Select Latch	Select	MM 1 : IC 15, PL 1; CB 30 : IC 2
PROM	Programm ROM Select	Select	MM 1 : IC 35, 3

Name	Bedeutung	Bus	Platine
Q	System Clock 68B09	Control	MM 1 : IC 18, ►
QVECT	Interrupt Vektor	Select	MM 1 : IC 12, 10
R	Reset	Control	PS 20; MM 1; CB 30; AF 20
RAUD	RAM Access Update (Slavestart)	Slave	MM 1 : IC 49, 50; MME : IC 4; Slaves
RARC	RAM Access Ready & Clear	Slave	MM 1 : IC 33, 34; Slaves SL - M 2
RD	Memory Read (mit E verknüpft)	Control	MM 1 : IC 9, ►
REV	Reverb, Hallwert (nur DX 10)	Control	MM 1 : PL 1, 4
RxD	ACIA Reciever Daten (MIDI In)	Control	MM 1 : IC 7, PL 2
R/W	Read/Write 68B09	Control	MM 1 : IC 18, 6, 9, 18, 43
SLIRQ	Slave Interrupt	Control	MM 1 : IC 34, 10 14
SEN	= SENSE		CB 30 : PL 3, 4, IC 7
SENSE	Taster Kennung	Panin	CB 31 : IC 1, 7; CB 30 : PL 3, 4, IC 7
SIN	Seriell In (Gruppe 3)		CB 31 : IC 7; CB 30 : PL 3, IC 3
SLRAM	Slave RAM Select	Select	MM 1 : IC 9, 30, 33, R 20
SLRAMB	Slave RAM Bank Latch Select	Select	MM 1 : IC 8, 17
SLRWR	Slave RAM Write	Slave	MM 1 : IC 33, 31
SOUT	Seriell Out (Gruppe 3)		CB 31 : IC 6; CB 30 : PL 3, Taster
SWELL	Swellshoe (Fußschweller)	Control	CB 32; MM 1 : PL 2, 1; CB 30 : IC 1
SW0	Switch 0 (Fußschalter)	Control	CB 32; MM 1 : PL 2, IC 10
SW1	Switch 1 (+ VCF-Einmessung)	Control	CB 32; AF 20 : Q 7; MM 1 : PL 2, IC 10
TIRQ	Timer Interrupt	Control	MM 1 : IC 6, 10, 14
TxD	ACIA Transmit Daten (MIDI Out)	Control	MM 1 : IC 7, PL 2
VCS	Volume Control Select (frei)	Select	MM 1 : IC 49, PL 5
VRAMB	Voice RAM Bank Latch Select	Select	MM 1 : IC 49, 11
VRAME	Voice RAM Enable (Bank Select)	Select	MM 1 : IC 11, 13
VROME	Voice ROM Enable (Bank Select)	Select	MM 1 : IC 11, 9
WR	Memory Write (mit E verknüpft)	Control	MM 1 : IC 13, ►
0 ... 7	Daten Leitungen 0 ... 7	Data	MM 1 : IC 16, ►
0 ... 15	Adress Leitungen 0 ... 15	Adress	MM 1 : IC 18, 19, ►
00,08,10	RAUD Gruppen Selects	Adress	MM 1 : IC 12, 49, 50, PL 25; MME 1 : IC4
18, 20	Vor-Decoder, Adressen, je 8 Byte	Adress	MM 1 : IC 12, 15, 13
12M1	12 MHz Clock für Slave 1 ... 12	Slave	MM 1 : IC 33; Slaves SL - M 2
12M2	12 MHz Clock negiert 1 ... 12	Slave	MM 1 : IC 33; Slaves SL - M 2
12ME1	12 MHz Clock für Slave 13 ... 20	Slave	MM 1 : IC 33; Slaves SL - M 2
12ME2	12 MHz Clock negiert 13 ... 20	Slave	MM 1 : IC 33; Slaves SL - M 2
0000	Coprozessor Adressbereich	Select	MM 1 : IC 40, 24, 23, 43
2000	Work RAM Select 2000 ... 3fff	Select	MM 1 : IC 25, 4
4000	Voice RAM (Bank) 4000 ... 5fff	Select	MM 1 : IC 25, 43, 13
6000	V.-Bank RAM (Bank) 6000 ... 7fff	Select	MM 1 : IC 25, 43, 13
4/6000	V.-ROM, Cartr. (Bank) 4000 ... 7fff	Select	MM 1 : IC 43, 9

MEMORY-MAP (Master Prozessor)

Adressbereich	Bezeichnung	Länge (Bytes)
0000 ... 00ff	Slave RAM	256
0100 ... 01ff	Input/Output	256
0200 ... 1fff	Co-Prozessor RAM	8 kB - 512
2000 ... 3fff	Work RAM	8 kB
4000 ... 7fff	Voice Bank Bereich	16 kB
8000 ... ffff	Programm ROM	32 kB

MEMORY-MAP (Co-Prozessor)

Adressbereich	Bezeichnung	Länge (Bytes)
0000 ... 3fff	(nicht erlaubt)	—
4000 ... 5fff	MUX Latch	1
6000 ... 7fff	ECLK Strobes	20
8000 ... 9fff	Hüllkurven DAC	2
a000 ... dfff	(nicht erlaubt)	—
e000 ... ffff	Slave RAM	8 kB